

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

Jc714 U.S. PTO  
09/775160  
02/01/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 9月 4日

出願番号  
Application Number:

特願2000-267064

出願人  
Applicant(s):

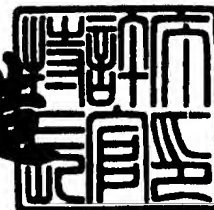
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年11月17日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3096419

【書類名】 特許願

【整理番号】 0051085

【提出日】 平成12年 9月 4日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 12/46  
G06F 9/38 370

【発明の名称】 マルチプロセッサによる通信プロトコル処理装置

【請求項の数】 5

【発明者】

【住所又は居所】 大阪府大阪市中央区城見二丁目2番53号 富士通関西  
中部ネットテック株式会社内

【氏名】 豊山 武

【発明者】

【住所又は居所】 大阪府大阪市中央区城見二丁目2番53号 富士通関西  
中部ネットテック株式会社内

【氏名】 中野 雅夫

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士  
通株式会社内

【氏名】 大場 康弘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【手数料の表示】

【予納台帳番号】 030708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサによる通信プロトコル処理装置

【特許請求の範囲】

【請求項 1】 通信データストリーム上でリアルタイム性が要求される処理を行う第 1 のプロセッサと、

リアルタイム性が要求されない処理を行う第 2 のプロセッサとを有し、

前記第 1 のプロセッサは、使用するパラメータを処理される通信データと対にして前記第 2 のプロセッサに転送し、前記第 2 のプロセッサでは、転送された通信データとパラメータを参照して処理を行う用に構成されたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【請求項 2】 請求項 1 において、

前記第 1 及び第 2 のプロセッサの間に通信データとパラメータの対を格納する処理待ちキューを備えたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【請求項 3】 請求項 2 において、

前記第 1 のプロセッサは、前記第 2 のプロセッサに処理を要求する処理要求信号を発生するように構成され、

前記第 1 のプロセッサが前記処理要求信号を発生する前に、先に前記通信データ及びパラメータを無条件に前記処理待ちキューへ転送し、

前記第 1 のプロセッサからの処理要求信号の有無によって前記処理待ちキューに転送済みのデータの有効／無効を、該処理待ちキューが自立的に表示可能としたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【請求項 4】 請求項 1 において、

前記第 1 のプロセッサを複数個設け、それらを直列に並べてパイプライン処理させ、且つ、前記複数の第 1 のプロセッサの各々が前記第 2 のプロセッサへ処理を要求可能であることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【請求項 5】 請求項 1 ～ 4 のいずれかにおいて、更に

前記第 1 及び第 2 のプロセッサの間に前記第 2 のプロセッサの処理結果を格納

するキューと、

ストリーム上の通信データを前記第2のプロセッサの処理結果に書き換える手段である選択回路とを備え、

前記第1のプロセッサが前記キューに読み取りアクセスを行い、該キューにデータが蓄積されていれば前記選択回路の選択経路を前記キュー側に切り替えることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATM、SDH等の通信プロトコル処理をプロセッサで行う通信プロトコル処理装置に関する。

【0002】

【従来の技術】

これまで高速な通信プロトコルを処理させる為に、ATM、SDH等の通信プロトコルにおける各処理をハードウェア構成 (Hard Wired) で行っているのが一般的技術である。

【0003】

その為、ITU-T等の標準勧告仕様や小規模の仕様変更・追加の度に再度ハードウェア設計を行う必要があり問題となっていた。また、この問題を回避する為に高速な通信プロトコル処理をプロセッサで処理させようとする、高性能なプロセッサやプロセッサに膨大な帯域 (バンド) 幅が要求される。

【0004】

特に、ATMセル処理の様な多数のコネクションの処理を行い膨大なデータ量を高速に扱う場合にあっては、プロセッサ処理させる上で、プロセッサに求められる処理能力、必要バンド幅等からその実現性を難しくしていた。

【0005】

図1は、かかる従来の問題を、ATMセル処理を例にあげて説明する図である。600Mbpsのメモリ等の記憶機能4を通してのATMセルスループットに対してITU-T標準勧告のATMレイヤの全機能 (セル識別、UPC, NDC,

○AM、課金、ヘッダ変換 等) を命令メモリ 3 に格納される命令に基づき、プロセッサ 1 で実行しようとする場合、扱うデータ量からプロセッサ 1 に 1 セル処理あたりデータ RAM 等に記憶されるパラメータ 2 との間でのデータ転送に 1 0 Gbps 以上といった膨大なバンド幅が要求される。

【0 0 0 6】

また、1 セル時間 (6 8 0 n s) 内に処理を行わなければならないという高性能なプロセッサが要求される等、かかる要求に対応できるプロセッサの実現が困難となっていた。

【0 0 0 7】

【発明が解決しようとする課題】

したがって、本発明の目的は、構成要素となるプロセッサの性能、バンド幅等の要件を緩和することができ、全体としてより安価なコストで通信プロトコル処理をプロセッサで行う通信プロトコル処理装置を提供することにある。

【0 0 0 8】

【課題を解決するための手段】

上記の課題を達成する本発明に従うマルチプロセッサによる通信プロトコル処理装置は、通信データストリーム上でリアルタイム性が要求される処理を行う第 1 のプロセッサと、

リアルタイム性が要求されない処理を行う第 2 のプロセッサとを有し、

前記第 1 のプロセッサは、使用するパラメータを処理される通信データと対にして前記第 2 のプロセッサに転送し、前記第 2 のプロセッサでは、転送された通信データとパラメータを参照して処理を行う用に構成されたことを特徴とする。

【0 0 0 9】

さらに、上記の課題を達成する本発明に従うマルチプロセッサによる通信プロトコル処理装置の好ましい一態様として、

前記第 1 及び第 2 のプロセッサの間に通信データとパラメータの対を格納する処理待ちキューを備えたことを特徴とする。

【0 0 1 0】

また、上記の課題を達成する本発明に従うマルチプロセッサによる通信プロト

コル処理装置の好ましい一態様として、

前記第 1 のプロセッサは、前記第 2 のプロセッサに処理を要求する処理要求信号を発生するように構成され、

前記第 1 のプロセッサが前記処理要求信号を発生する前に、先に前記通信データ及びパラメータを無条件に前記処理待ちキューへ転送し、

前記第 1 のプロセッサからの処理要求信号の有無によって前記処理待ちキューに転送済みのデータの有効／無効を、該処理待ちキューが自立的に表示可能としたことを特徴とする。

#### 【 0 0 1 1 】

さらにまた、上記の課題を達成する本発明に従うマルチプロセッサによる通信プロトコル処理装置の好ましい一態様として、

前記第 1 のプロセッサを複数個設け、それらを直列に並べてパイプライン処理させ、且つ、前記複数の第 1 のプロセッサの各々が前記第 2 のプロセッサへ処理を要求可能であることを特徴とする。

#### 【 0 0 1 2 】

さらに、上記の課題を達成する本発明に従うマルチプロセッサによる通信プロトコル処理装置の好ましい一態様として、更に

前記第 1 及び第 2 のプロセッサの間に前記第 2 のプロセッサの処理結果を格納するキューと、

ストリーム上の通信データを前記第 2 のプロセッサの処理結果に書き換える手段である選択回路とを備え、

前記第 1 のプロセッサが前記キューに読み取りアクセスを行い、該キューにデータが蓄積されていれば前記選択回路の選択経路を前記キュー側に切り替えることを特徴とする。

#### 【 0 0 1 3 】

本発明の特徴は、更に以下に図面に従い説明される発明の実施の形態から明らかになる。

#### 【 0 0 1 4 】

#### 【発明の実施の形態】

以下に図面に従い本発明の実施の形態を説明する。なお、図に示す実施の形態は、本発明の理解のためのものであり、本発明の適用がこれらに限定されるものではない。

【0015】

図2は、本発明の一実施の形態の構成ブロック図である。図3、図4は、それぞれ図2の構成に対応する動作シーケンスフロー及び、動作タイムチャートである。

【0016】

プロセッサ処理させる為の要件を緩和させる為に、本発明は、処理をリアルタイム性が必要とするプロセッサと、処理をリアルタイム性が不要としないプロセッサに分割している。

【0017】

図2において、リアルタイム性が要求される順方向の処理を行うプロセッサ10-1及び逆方向の処理を行うプロセッサ10-2（以下、これらを総称してリアルタイム処理用プロセッサ10と称す）と、リアルタイム性が要求されない処理を行うプロセッサ11（以下、非リアルタイム処理用プロセッサ11と称す）とを備える。

【0018】

図において、命令メモリ3-1、3-2及び3-3は、それぞれプロセッサ10とプロセッサ11に対する命令を格納するメモリである。

【0019】

リアルタイム処理用プロセッサ10と非リアルタイム処理用プロセッサ11とに分割した場合、双方のプロセッサでアクセスされる、データRAM等に格納されるパラメータ2が存在すると、各プロセッサ処理時間の差によるパラメータ値の矛盾が生じるといった問題が生じる。

【0020】

なお、ここで、パラメータとは、通信データを除く処理に必要な記憶データ、例えば、状態遷移情報、統計情報、各種設定情報等をいう。

【0021】



図5は、かかるパラメータの矛盾を説明する図である。

【0022】

通信データの受信イベントが、通信データ1、2、3のように時間とともに発生する場合、非リアルタイム処理用プロセッサ11は、通信データ1の処理時にパラメータ(A)の値をXとして処理する必要がある。

【0023】

しかし、後に受信した通信データ3に対するリアルタイム用プロセッサ10によるパラメータ(A)のYへの更新が既に行われている。したがって、非リアルタイム処理用プロセッサ11が、パラメータ(A)の更新データXを参照しに行った時は、Xは既に更新されてYとなっており、これを参照することになるので矛盾が生じる。

【0024】

ここで、図2において、かかる矛盾が生じるのを回避する為には、リアルタイム処理用プロセッサ10と非リアルタイム処理用プロセッサ11の双方によりアクセスされるパラメータを扱う処理をリアルタイム処理用プロセッサに纏めることが考えられる。しかし、これではリアルタイム処理用プロセッサ10の処理が増え、負荷が大きくなるという問題がある。

【0025】

したがって、本発明では、非リアルタイム処理用プロセッサ11への処理要求をリアルタイム処理用プロセッサ10が生成、出力し、処理すべき通信データと、双方のプロセッサ10、11で使用されるパラメータとを対にして非リアルタイム処理用プロセッサ11に渡すようにする。

【0026】

非リアルタイム処理用プロセッサ11は、渡された通信データとパラメータを参照に用いて処理を行っており、当該パラメータについてはパラメータ2が格納されているデータRAM等のメモリにはアクセスを行わないので双方のプロセッサ10、11でアクセスされるパラメータの矛盾を回避できる。

【0027】

プロセッサ11に分散させることができるので、プロセッサに要求されるバン

ド幅や性能を軽減できる。

【0028】

かかる様子を図3及び図4を用いて説明する。図3は、純方向通信データの処理を行うリアルタイム処理用プロセッサ10-1と、非リアルタイム処理用プロセッサ11との間の動作シーケンスを示す。

【0029】

リアルタイム処理用プロセッサ10-1は、通信データ1、2、3・・・の発生の都度、命令メモリ3-1のからの命令に対応してパラメータ2をアクセスし、演算処理を行う（処理工程P1、2、3、4、5）。

【0030】

そして、キュー書込データが発生すると（図3では、通信データ2の処理工程P2の際）パラメータ及び通信データ等を処理待ちキュー14-1に書き込む（処理工程P6）。図4において、リアルタイム処理用プロセッサ10-1が通信データ2を処理した後、処理待ちキュー14-1の状態が”1”に変化している。

【0031】

一方、非リアルタイム処理用プロセッサ11では、処理待ちキュー14-1に定期的にポーリングを行っている（処理工程P7）。このポーリングの過程で処理待ちキュー14-1に要求データがあると、当該キューの内容を読み込み（処理工程P8）、演算処理を行う（処理工程P9）。

【0032】

この演算処理が終了するとポーリングを再開する（処理工程P10）。この時、処理待ちキュー14-1の状態は”0”に変化する。

【0033】

図6は、本発明の図2の構成を実施例としてATMセル処理における性能監視処理（ITU-T勧告 I. 610）に適用した場合を説明する図である。図7は、図6の動作タイムチャートである。図6において、説明の簡単化のためにATMセルの受信側のみの構成を示しているまた、命令メモリは図示省略している。

## 【 0 0 3 4 】

A T Mセル処理における性能監視処理の意味は、図 8 に示す如くである。図 8 A、図 8 B は 1 つのコネクションについてのセル流を示す。図 8 A は、A T Mセル送信側からのセル流である。最小 1 2 8 個を有する N 個のユーザセルが継続し、N 個のユーザセルの後に、ユーザセルの数と、計算されたパリティ (B I P : Bit Interleaved Parity) を F P M (Forward Performance Monitoring) セルのペイロードに付加して送信する。

## 【 0 0 3 5 】

図 8 B は、A T Mセル受信側で受信される A T Mセル流である。受信したユーザセル数をカウントし、且つパリティを求める。さらに、次に続く F P M (Forward Performance Monitoring) セルのペイロードに送信側で付加されたユーザセル数と、パリティと比較する。これにより、受信した際のセルの廃棄数、セル誤配数及び、誤りビット数が判定される。

## 【 0 0 3 6 】

図 8 C は、複数コネクションに着目した時の A T Mセル流である。フレーム毎に構成するセルにコネクション I D が付されている。コネクション毎に受信ユーザセル数をカウントし、対応するコネクション I D のユーザセルのペイロード領域に対して B I P - 1 6 演算処理を行う (以降、中間計測処理と称す)。

## 【 0 0 3 7 】

ついで、受信 F P Mセル間に流れたユーザセルの中間計測処理結果に基づいて、セル廃棄数、セル誤配数、誤りビット数の統計をとる (以降、統計処理と称す) ことによって性能監視機能を実現できる。

## 【 0 0 3 8 】

なお、F P Mセルの送信間隔は、I T U - T 勧告 I . 6 1 0 で規定されており最小で 1 2 8 セル毎に 1 セルの送信である (図 8 C)。

## 【 0 0 3 9 】

図 6 に戻り、上記の中間計測処理をリアルタイム処理用プロセッサ 1 0 - 1 に、統計処理を非リアルタイム処理用プロセッサ 1 1 に割り当てる。この場合、リアルタイム処理用プロセッサ 1 0 - 1 に必要なパラメータ 2 は、①受信ユーザセ

ルカウント数、②B I P-16 計算値である。非リアルタイム処理用プロセッサ 11に必要なパラメータ2は、①受信ユーザセルカウント数、②B I P-16 計算値に加え、③セル廃棄数、④セル誤配数、⑤誤りビット数である。

【0040】

ここにあげたパラメータは参照と更新の両方が行われるパラメータであり、これら以外にも参照のみ行われるパラメータが存在するが、それについては本発明と直接関係しないので説明を割愛する。

【0041】

上記の①受信ユーザセルカウント数、②B I P-16 計算値については、リアルタイム処理用プロセッサ10-1と非リアルタイム処理用プロセッサ11の双方で必要なパラメータである。

【0042】

ユーザセル（図7a）受信時に、リアルタイム処理用プロセッサ10-1は、中間計測処理（図7b）として、①受信ユーザセルカウント数及び②B I P-16 計算値のパラメータを更新する（図7c, d）。

【0043】

さらに、FPMセル受信時に①受信ユーザセルカウント数及び②B I P-16 計算値のパラメータを受信FPMセルと一緒に非リアルタイム処理用プロセッサ11（または処理待ちキュー14-1）に転送し（図7e）、これらのパラメータをリセットする（図7c, d）。

【0044】

非リアルタイム処理用プロセッサ11は、転送された①受信ユーザセルカウント数及び②B I P-16 計算値のパラメータを統計処理し、FPM受信セルを使用して③セル廃棄数、④セル誤配数、⑤ビット誤り数を計算する（図7f）。

【0045】

ついで、これら計算された③セル廃棄数、④セル誤配数、⑤ビットのパラメータを更新する（図7g, h, i）。

【0046】

以上によって、ATMセル処理における性能監視処理（ITU-T勧告 I.

610) をリアルタイム処理用プロセッサ10-1と非リアルタイム処理用プロセッサ11とに処理分散させることができる。

【0047】

これにより効果として、

- ・ ATMセル流のスループットを1セル時間 =  $T$ 、
- ・ 中間計測処理のプログラム処理実行ステップ数を  $A$ 、
- ・ 統計処理のプログラム処理実行ステップ数を  $B$ 、
- ・ ①受信ユーザセルカウント数、②BIP-16計算値のパラメータは各16ビット、
- ・ ③セル廃棄数、④セル誤配数、⑤ビットのパラメータは各32ビット

であるとした場合、

図1に示す従来例の構成により、ATMセル処理における性能監視処理に適用した場合、図9に示すように、プロセッサ10-1に必要なバンド幅(bit/s)は、 $128/T$  ( $= (16 \times 2 + 32 \times 3) / T$ )、プロセッサ10-1に要求される性能(step/s)は、 $(A + B) / T$  となる。

【0048】

一方、本発明に従う構成では、FPMセルの受信間隔は128セルに1回なので、リアルタイム処理用プロセッサ10-1に必要なバンド幅は、 $32/T$  ( $= (16 \times 2 / T)$ )、非リアルタイム処理用プロセッサ11に必要なバンド幅は、 $0.75/T$  ( $= (32 \times 3) / 128T$ )、リアルタイム処理用プロセッサ10-1に要求される性能は、 $A/T$ 、非リアルタイム処理用プロセッサ11に要求される性能は、 $B/128T$ となる。

【0049】

結果としてプロセッサに求められる性能、必要なバンド幅を軽減できる。なお、実際には扱うパラメータは上記例に挙げたものよりも多く（特に統計用パラメータ）、本発明の効果が更に大きくなることが理解できる。

【0050】

さらに、図8Cに示すような複数コネクションに対して性能監視を行う場合、リアルタイム処理用プロセッサ10-1から転送される通信データとパラメータ

を保持する非リアルタイム処理用プロセッサ11への処理待ちキュー14-1を備える。

【0051】

これによって、FPMセルを連続受信し、非リアルタイム処理用プロセッサ11の処理が連続して要求されても、キュー14-1に貯めておくだけでよい。プロセッサの処理能力を高める必要は生じない。

【0052】

性能監視処理はコネクション毎に最小128個のユーザセル送信毎にFPMセルを送信するために、複数コネクションのFPMセルを連続受信して、非リアルタイム処理用プロセッサ11の処理が連続して要求されても次にFPMセルを受信して非リアルタイム処理用プロセッサ11の処理が要求されるのは、最小でも128セル後である（図8C参照）。

【0053】

したがって、処理待ちキュー14-1を備えて（段数は連続受信するFPMセル数以上にしておく）おけば、128セル時間内にその統計処理を終了すればよいので、非リアルタイム処理用プロセッサ11の処理能力を高める必要はない。

【0054】

上記のように、本発明によれば、リアルタイム処理用と非リアルタイム処理用とのプロセッサ10, 11を設ける。そして、双方のプロセッサが使用するパラメータ（通信データ以外の処理に用いる記憶データ）を、処理を行う通信データと対にして非リアルタイム処理用プロセッサ11に転送する。

【0055】

非リアルタイム処理用プロセッサ11は転送された通信データとパラメータを参照に用いて統計処理を行っている為に、双方のプロセッサの処理時間によるパラメータの矛盾を生じることが無い。したがって、処理をリアルタイム処理用プロセッサ10と非リアルタイム処理用プロセッサ11に分散でき、システムを構成するプロセッサの性能、バンド幅等の要件を緩和することができる。

【0056】

本発明により全体としてより安価なコストで通信プロトコル処理をプロセッサ

で行う通信プロトコル処理装置を構築できる。

【0057】

さらに、本発明によれば、リアルタイム処理用プロセッサ10は非リアルタイム処理用プロセッサ11へ処理を要求する時は、処理要求として必要データをキュー14-1に書き込んでいるだけなので、処理要求の発生頻度を考慮して非リアルタイム処理用プロセッサ11はキュー14-1溢れが発生しない程度まで処理能力を小さくすることができる。また、通信データストリームを乱さずに連続受信した通信データの処理を行うことができる。

【0058】

図10は、本発明に従う別の実施の形態例を示す図であり、通信データとパラメータを処理待ちキュー14-1へ転送する部分のみを表している。図10の実施例では更にDMA制御回路20を備え、メモリ4-1及びリアルタイム処理用プロセッサ10-1のキャッシュ、レジスタ等のローカルメモリ10-3のデータ転送を制御する。

【0059】

図11は、図10の実施の形態の動作シーケンスを示す。さらに、図12は、動作フローチャート、図13は動作タイムチャートを示す。

【0060】

この実施の形態では、リアルタイム処理用プロセッサ10-1が通信データを受けると、DMA制御回路20を起動し、更にパラメータ2にアクセスして、通信データ及びパラメータを、非リアルタイム処理用プロセッサ11へ処理要求を出す前に、先に通信データとパラメータを無条件に処理待ちキュー14-1へ転送しておく（図11のI、II参照）。

【0061】

図11の例では、通信データ1は非リアルタイム処理用プロセッサ11への処理要求がなく、通信データ2では処理要求が発生した場合の例である。したがって、通信データ2に対する演算処理により処理要求が発生すると、処理待ちキュー14-1に処理要求を知らせる（図11，III参照）。

【0062】

処理待ちキュー14-1の管理はライトポインタとリードポインタによる管理を行っている。処理要求が発生するとライトポインタをインクリメントし、非リアルタイム処理用プロセッサ11はそれらポインタをポーリングし、ライトポインタとリードポインタの不一致により処理待ちキュー14-1に有効データが格納されたかを認識している。

## 【0063】

処理待ちキュー14-1に有効データが格納されたことを認識した場合、非リアルタイム処理用プロセッサ11は、リードポインタをインクリメントし、処理を開始する(図11, IV参照)。

## 【0064】

図12は、図11の動作シーケンスに対応する詳細な動作フローチャートである。リアルタイム処理用プロセッサ10-1はメモリ4-1を監視し、通信データの受信の有無を判断する(処理工程P20)。通信データを受信すると(処理工程P20: Yes)、DMA制御回路20を起動する(処理工程P21)。

## 【0065】

DMA制御回路20は起動されると、リアルタイム処理用プロセッサ10-1に対し、処理待ちキュー14-1に通信データ及びパラメータの転送するように制御する(処理工程P22)。

## 【0066】

一方、リアルタイム処理用プロセッサ10-1は、通信データを受信すると(処理工程P20: Yes)、パラメータ2の転送を受け(処理工程P23)、演算処理を行う(処理工程P24)。

## 【0067】

この処理の結果、処理要求があれば(処理工程P25, Yes)、処理待ちキュー14-1のライトポインタをインクリメントする(処理工程P26)。一方、処理工程P25で処理要求がなければ、処理待ちキュー14-1への通信データの転送を無効とし、ライトポインタのインクリメントは行わない(処理工程P27)。

## 【0068】



図 1 3 は、図 1 0 の実施例の効果を説明する図である。図 1 3 A では、通信データに対する演算処理を行った後に、パラメータと通信データを処理待ちキュー 1 4 - 1 に書き込む構成である。

【 0 0 6 9 】

これに対し、図 1 0 の実施例に対応する図 1 3 B の処理では、通信データの受信と同時にパラメータと通信データが、DMA 制御回路 2 0 により、処理待ちキュー 1 4 - 1 に転送される。したがって、図 1 3 A との比較において、通信データとパラメータの転送時間 (T) を削減することができ、削減できた時間分の通信データスループットを向上できる。

【 0 0 7 0 】

上記の様に、図 1 0 の実施例ではリアルタイム処理用プロセッサ 1 0 - 1 が非リアルタイム処理プロセッサ 1 1 へ処理要求を出す前に、先に非リアルタイム処理用プロセッサ 1 1 に必要なデータをキュー 1 4 - 1 に転送している。この為に、扱う通信データ量が膨大でも処理要求発生からデータ転送完了までの時間を短縮できる。この短縮できた時間分の通信データのスループットを向上、またはプロセッサの性能を小さくできる。

【 0 0 7 1 】

ここで、上記図 1 0 の実施例では、通信データの受信をイベントとしてプロセッサを介さないで受信した通信データを直接 DMA 転送で処理待ちキュー 1 4 - 1 へ転送する。このためにプロセッサ 1 0 - 1 と通信データ記憶メモリ 4 - 1 間のバスとは別のデータバスを設けてデータ転送を行い、プロセッサ 1 0 - 1 の負荷を軽減することができる。

【 0 0 7 2 】

通信データとして例えば A T M セルを想定した場合、5 3 バイトの膨大なデータ転送となりプロセッサ 1 0 - 1 の負荷が重くなりそうであるが、本発明ではプロセッサ 1 0 - 1 の処理と A T M セルの転送は独立しているためプロセッサ 1 0 - 1 の負荷を軽減できる。

【 0 0 7 3 】

図 1 4 は、更に別の実施例構成を示す図である。この実施例では、リアルタイ

ム性が要求される処理が非常に多い場合、または1個のリアルタイム処理用プロセッサ10-1で処理しきれない場合、複数個のリアルタイム処理用プロセッサ100-1~100-3を直列に並べてパイプライン処理させる構成をとる。

## 【0074】

この場合、複数のリアルタイム処理用プロセッサ100-1~100-3による処理待ちキューへの書き込みの競合が生じたり、書き込みデータの冗長（特に同一通信データに対する処理要求時）が生じる問題が想定される。

## 【0075】

これに対応するべく、本発明では処理要求を後段のプロセッサへフォワーディング（処理要求110-1~110-3、処理要求110-4~110-5）して、最後にマージ回路21によりまとめて一つにして処理要求を生成している。

## 【0076】

したがって、複数のリアルタイム処理用プロセッサ100-1~100-3による処理待ちキューへの書き込みの競合が発生しない。同時に、書き込みデータの冗長も生じない。

## 【0077】

また、処理要求を後段のプロセッサへフォワーディングして最後にまとめて一つにして処理要求を生成する前に、先に通信データ（場合によってはパラメータも）を処理待ちキュー14-1に転送しておけば、図10の実施例と同様に通信データの転送時間を削減することができ、削減できた時間分の通信データスループットを向上できる。

## 【0078】

ここで、図14において、複数のリアルタイム処理用プロセッサ100-1~100-3が処理要求をフォワーディングして処理待ちキュー14-1へ渡すために、全てのリアルタイム処理用プロセッサ100-1~100-3に対して、フォワーディング用の記憶機能110-1~110-6を同一容量で設ける必要はない。

## 【0079】

すなわち、各プロセッサが処理要求を積み重ねていくことにより、前段のプロ

セッサにおけるフォワーディング用の記憶機能の容量、フォワーディング信号数を削減することができる。

【0080】

図15は、かかる図14の処理要求の過程を説明する図である。図15において、受信した通信データaに対して、リアルタイム処理要求プロセッサ100-1は、処理要求1を生成する（図15b参照）。したがって、リアルタイム処理要求プロセッサ100-1からリアルタイム処理要求プロセッサ100-2にフォワーディングされる処理要求は、図15cに示すようである。

【0081】

これに対し、リアルタイム処理要求プロセッサ100-2は、処理要求2を生成する（図15d参照）。したがって、リアルタイム処理要求プロセッサ100-2からリアルタイム処理要求プロセッサ100-3にフォワーディングされる処理要求は、リアルタイム処理要求プロセッサ100-1からフォワーディングされた処理要求と合わせて図15eに示すようである。

【0082】

さらに、リアルタイム処理要求プロセッサ100-3は、処理要求3を生成する（図15f参照）。したがって、リアルタイム処理要求プロセッサ100-3からマージ回路21に送られる処理要求は、リアルタイム処理要求プロセッサ100-2からフォワーディングされた処理要求と合わせて図15gに示すようである。

【0083】

このように、各プロセッサが処理要求を積み重ねていくことにより、前段のプロセッサにおけるフォワーディング用の記憶機能の容量、フォワーディング信号数を削減している。

【0084】

図16は、図14におけるリアルタイム処理用プロセッサ100-1～100-3の処理要求をフォワーディングしていく機能の具体例であり、処理待ちキュー14-1への書き込みデータの生成、及び処理要求の生成部分のみを表した構成図である。

## 【 0 0 8 5 】

リアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 の各々は処理要求フラグ F とパラメータ D P 等の処理に必要なデータを、通信データの次受信イベントによってフォワーディングして行く。

## 【 0 0 8 6 】

最終段において各々の処理要求フラグ F の論理和をとることによって処理要求を生成する。また、キュー 1 4 - 1 への書き込みデータ（通信データ以外）は各々のデータをマージしたものとす。したがって、キュー 1 4 - 1 への転送はハード管理で行うことができ、非リアルタイム処理用プロセッサ 1 1 への処理要求や必要データを生成する必要がなくなるので、リアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 の負荷を軽減することができる。

## 【 0 0 8 7 】

上記図 1 4 の実施例においては、複数のリアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 による非リアルタイム処理用プロセッサ 1 1 への処理要求を一括して纏めている。これにより、複数のリアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 による処理待ちキュー 1 4 - 1 へのデータ転送や処理要求の競合を回避することができ、また、キュー 1 4 - 1 に格納するデータの冗長をなくすることができる。

## 【 0 0 8 8 】

また、上記図 1 4 の実施例では、複数のリアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 による非リアルタイム処理用プロセッサ 1 1 への処理要求を一括して纏めて出力する前に、先に非リアルタイム処理用プロセッサ 1 1 に必要なデータをキュー 1 4 - 1 に転送している。これにより、扱う通信データ量が膨大でも処理要求発生からデータ転送完了までの時間を短縮でき、短縮できた時間分の通信データのスループットを向上、またはプロセッサの性能を小さくできる。

## 【 0 0 8 9 】

さらに、上記図 1 4 の実施例では、複数のリアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 による非リアルタイム処理用プロセッサ 1 1 への処理要求を一括して纏めるために、フォワーディングすべき必要なデータを、各プロセッサ

が積み重ねていく構成であって、フォワーディングのコスト（記憶機能の容量、フォワーディング容量）を削減できる。

【0090】

また、図14において、シフトレジスタでシフト動作により、通信データの受信をイベントとしてハードウェア自立で処理要求をフォワーディングすることが可能である。かかる場合、プロセッサ自身が処理要求をフォワーディングする動作をすることが必要ないので、プロセッサの負荷を軽減できる。

【0091】

図17は、図2の構成において実現される本発明の他の実施例動作シーケンスを示す図であり、図18は、図17の動作タイムチャートである。すなわち、非リアルタイム処理用プロセッサ11の処理結果をリアルタイム処理用プロセッサ10が利用する場合の動作シーケンス及び動作タイムチャートである。

【0092】

このために、図2において、通信データを格納しているメモリ等の記憶機能4-1、4-2と当該キュー15-1、15-2とを選択する選択回路17-1、17-2を備えている。

【0093】

図17、図18において、先に説明した実施例と同様に順方向のデータ通信について説明する。非リアルタイム処理用プロセッサ11の処理結果を格納するキュー15-1及び、非リアルタイム処理用プロセッサ11は、処理結果をキューに書き込む（図17、I）。したがって、図18において、キュー15-1の状態が”0”から”1”に変化する（図18、b）。

【0094】

一方、図17において、リアルタイム処理用プロセッサ10-1は、通信データ1～3を順に処理する過程において、非リアルタイム処理用プロセッサ11の処理結果を得るために、プログラム処理によってキュー15-1を読み取りアクセスする。

【0095】

ストリーム上の通信データを非リアルタイム処理用プロセッサ11の処理結果

に書き換える場合に、当該キュー15-1を読み出し、データがキュー15-1に蓄積されていれば、選択回路17-1の選択先をキュー15-1側に切り替える。これによって非リアルタイム処理用プロセッサ11の処理結果を通信データストリーム上に反映させることができる（図17、II、図18、d）。

【0096】

ここで、キュー15-1の管理方法としては、図11の動作シーケンスと同様に、ライトポインタとリードポインタによる管理方法で実現できる。

【0097】

非リアルタイム処理用プロセッサ11の処理結果を通信データストリーム上に反映させる例として、ATMセル通信システムにおけるOAMセル挿入処理がある。ATMセルストリーム上に空きセルが存在した場合に、該当セルスロットにOAMセルを挿入するという処理である。

【0098】

非リアルタイム処理用プロセッサ11で生成したOAMセルをキュー15-1に書き込んでおき、リアルタイム処理プロセッサ10-1は空きセルを検出時に当該キュー15-1をリードし、データがあれば選択回路17-1の選択先をキュー15-1側に切り替える。これにより、該当セルスロットの通信データをキュー15-1からリードした情報に書き換えを行う。

【0099】

図19は、図17の実施例動作シーケンスを実現する好ましい構成例である。非リアルタイム処理用プロセッサ11の処理結果を格納するキュー15-1にデータが蓄積されているか否かを示すレジスタ22と、当該キュー15-1を読み出す制御回路（読み出し制御回路）23を設けている。

【0100】

非リアルタイム処理用プロセッサ11は当該レジスタ22をリードすることによってキュー15-1にデータが蓄積されていることを認識する。データ蓄積時は読み出し制御回路23を起動させることによってプロセッサ10-1を介さずにハードウェア自立でキュー15-1のデータを読み出すよう構成されている。

【0101】

かかる図 1 7 ～ 図 1 9 の実施例では、非リアルタイム処理用プロセッサ 1 1 の処理結果を格納するキュー 1 5 - 1 にデータが蓄積されている場合に出力通信データを選択する回路 1 7 - 1 の選択先をキュー 1 5 - 1 側に切り替えている。したがって、非リアルタイム処理用プロセッサ 1 1 の処理結果を高速に流れている通信データ上に反映することが出来る。

## 【 0 1 0 2 】

また、図 1 7 ～ 図 1 9 の実施例では、非リアルタイム処理用プロセッサ 1 1 の処理結果を格納するキュー 1 5 - 1 にデータが蓄積されているか否かを、レジスタ値によってリアルタイム処理用プロセッサ 1 0 - 1 が認識し、キュー 1 5 - 1 の読み出しは当該プロセッサではなく、キュー 1 5 - 1 を読み出す制御回路 2 3 によって行われるため、1 0 - 1 プロセッサの負荷を軽減することができる。以上の様に、従来 Hard Wired で実現していた ATM セル処理に対して、本発明を適用することによってプロセッサで処理させた場合のプロセッサへの要件が緩和でき、プロセッサ処理が実現できる。

## 【 0 1 0 3 】

(付記 1) 通信データストリーム上でリアルタイム性が要求される処理を行う第 1 のプロセッサと、

リアルタイム性が要求されない処理を行う第 2 のプロセッサとを有し、

前記第 1 のプロセッサは、使用するパラメータを処理される通信データと対にして前記第 2 のプロセッサに転送し、前記第 2 のプロセッサでは、転送された通信データとパラメータを参照して処理を行う用に構成されたことを特徴とすることによって、処理を R T - P と N R T - P とに分散させたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 0 4 】

(付記 2) 付記 1 において、

前記パラメータは、通信データを除く処理に必要な状態遷移情報、統計情報、あるいは各種設定情報であることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 0 5 】

(付記 3) 付記 1 において、

前記第 1 及び第 2 のプロセッサの間に通信データとパラメータの対を格納する処理待ちキューを備えたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【 0 1 0 6 】

(付記 4) 付記 3 において、

前記第 1 のプロセッサは、前記第 2 のプロセッサに処理を要求する処理要求信号を発生するように構成され、

前記第 1 のプロセッサが前記処理要求信号を発生する前に、先に前記通信データ及びパラメータを無条件に前記処理待ちキューへ転送し、

前記第 1 のプロセッサからの処理要求信号の有無によって前記処理待ちキューに転送済みのデータの有効／無効を、該処理待ちキューが自立的に表示可能としたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【 0 1 0 7 】

(付記 5) 付記 1 において、

前記第 1 のプロセッサを複数個設け、それらを直列に並べてパイプライン処理させ、且つ、前記複数の第 1 のプロセッサの各々が前記第 2 のプロセッサへ処理を要求可能であることを特徴とするにとできることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【 0 1 0 8 】

(付記 6) 付記 5 において、

前記前記複数の第 1 のプロセッサの各々が、前記第 2 のプロセッサへの処理要求を生成し、後段の第 1 のプロセッサへ処理要求とパラメータをフォワーディングし、最終段で一括して処理待ちキューに転送するように構成されたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【 0 1 0 9 】

(付記 7) 付記 5 において、

前記前記複数の第 1 のプロセッサの各々が、前記第 2 のプロセッサへの処理要求を生成し、更に通信データやパラメータを無条件に前記処理待ちキューへ転送



し、後に処理要求の有無によって前記処理待ちキューに転送済みのデータの有効無効を当該キューが自立的に判断可能とすることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 1 0 】

（付記 8）付記 6 または 7 において、

前記処理要求とパラメータは、複数の第 1 のプロセッサの各々において積み重ねていく様に構成されたことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 1 1 】

（付記 9）付記 2 ～ 8 のいずれかにおいて、

前記通信データの前記処理待ちキューへの転送は、通信データの受信をイベントとして前記第 1 のプロセッサを介さずに直接転送することを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 1 2 】

（付記 1 0）付記 1 ～ 9 のいずれかにおいて、更に

前記第 1 及び第 2 のプロセッサの間に前記第 2 のプロセッサの処理結果を格納するキューと、

ストリーム上の通信データを前記第 2 のプロセッサの処理結果に書き換える手段である選択回路とを備え、

前記第 1 のプロセッサが前記キューに読み取りアクセスを行い、該キューにデータが蓄積されていれば前記選択回路の選択経路を前記キュー側に切り替えることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

## 【 0 1 1 3 】

（付記 1 1）付記 1 0 において、更に

前記第 2 のプロセッサの処理結果を格納するキューにデータが蓄積されているか否かを示すレジスタと、

前記キューに蓄積されたデータを読み出す読出制御回路を設け、

前記第 1 のプロセッサは前記キューにアクセスせず、前記レジスタのセット状態を読み出すことによって前記キューのデータ蓄積を認識し、

データ蓄積時は前記読出制御回路を起動させて、前記第 1 のプロセッサを介さずに前記キューのデータを読み出すことを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【0 1 1 4】

(付記 1 2) 付記 6 ～ 8 のいずれかにおいて、

処理要求とパラメータのフォワーディングのタイミングを通信データの次受信をイベントとすることを特徴とするマルチプロセッサによる通信プロトコル処理装置。

【0 1 1 5】

【発明の効果】

以上図面に従い実施の形態を説明したように、本発明によれば、従来ハードウェア (Hard Wired) で行っていた A T M, S D H 等の通信プロトコルの各処理をプロセッサで処理させることが実現でき、I T U - T 等の標準勧告仕様や小規模の仕様変更・追加の度に再度ハードウェア設計 (作り直し) を行う必要がなくなり、プログラム変更で対応できる。且つ、搭載するプロセッサへの要件 (性能、バンド幅 等) を緩和でき、装置単体コストも削減できる。

【図面の簡単な説明】

【図 1】

A T M セル処理をプロセッサで処理する場合の従来例を示す図である。

【図 2】

本発明の一実施の形態の構成ブロック図である。

【図 3】

図 2 の構成に対応する動作シーケンスフローである。

【図 4】

図 2 の構成に対応する動作タイムチャートである。

【図 5】

パラメータの矛盾を説明する図である。

【図 6】

本発明の図 2 の構成を実施例として A T M セル処理における性能監視処理 (I

TU-T 勧告 I. 6 1 0) に適用した場合を説明する図である。

【図 7】

図 6 の動作タイムチャートである。

【図 8】

A TMセル処理における性能監視処理の意味を説明する図である。

【図 9】

A TMセル処理における性能監視処理の従来例を示す図である。

【図 1 0】

本発明に従う別の実施の形態例を示す図である。

【図 1 1】

図 1 0 の実施の形態の動作シーケンスを示す図である。

【図 1 2】

図 1 0 の動作フローチャートを示す図である。

【図 1 3】

図 1 0 の動作タイムチャートを示す図である。

【図 1 4】

更に別の実施例構成を示す図である。

【図 1 5】

図 1 4 の処理要求の過程を説明する図である。

【図 1 6】

図 1 4 におけるリアルタイム処理用プロセッサ 1 0 0 - 1 ~ 1 0 0 - 3 の処理要求をフォワーディングしていく機能の具体例である。

【図 1 7】

図 2 の構成において実現される本発明の他の実施例動作シーケンスを示す図である。

【図 1 8】

図 1 7 の動作タイムチャートを示す図である。

【図 1 9】

図 1 7 の実施例動作シーケンスを実現する好ましい構成例である。

【符号の説明】

10-1, 10-2 リアルタイム処理用プロセッサ

2 パラメータ

11 非リアルタイム処理用プロセッサ

4-1, 4-2 メモリ等の記憶機能

3-1, 3-2, 3-3 命令メモリ

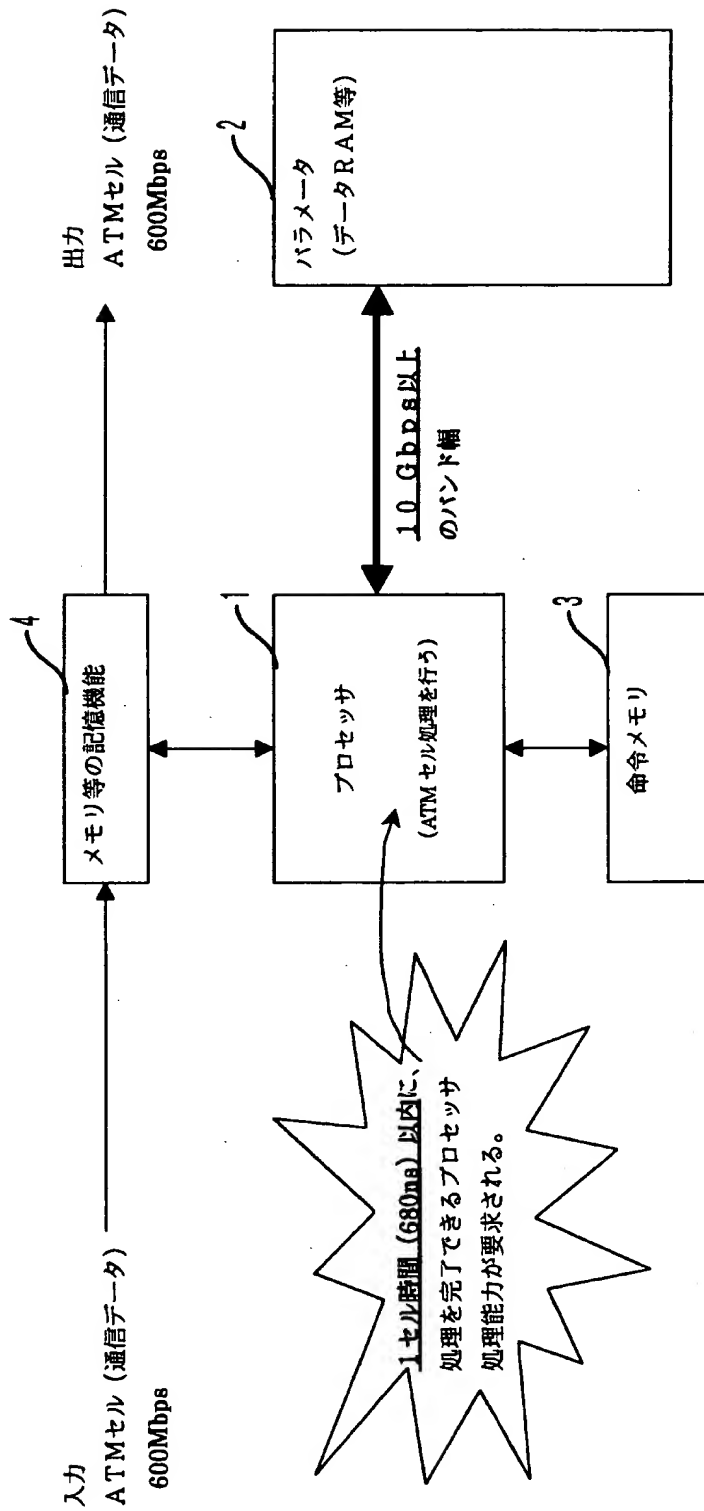
14-1, 14-2, 15-1, 15-2 処理待ちキュー

17-1, 17-2 選択回路

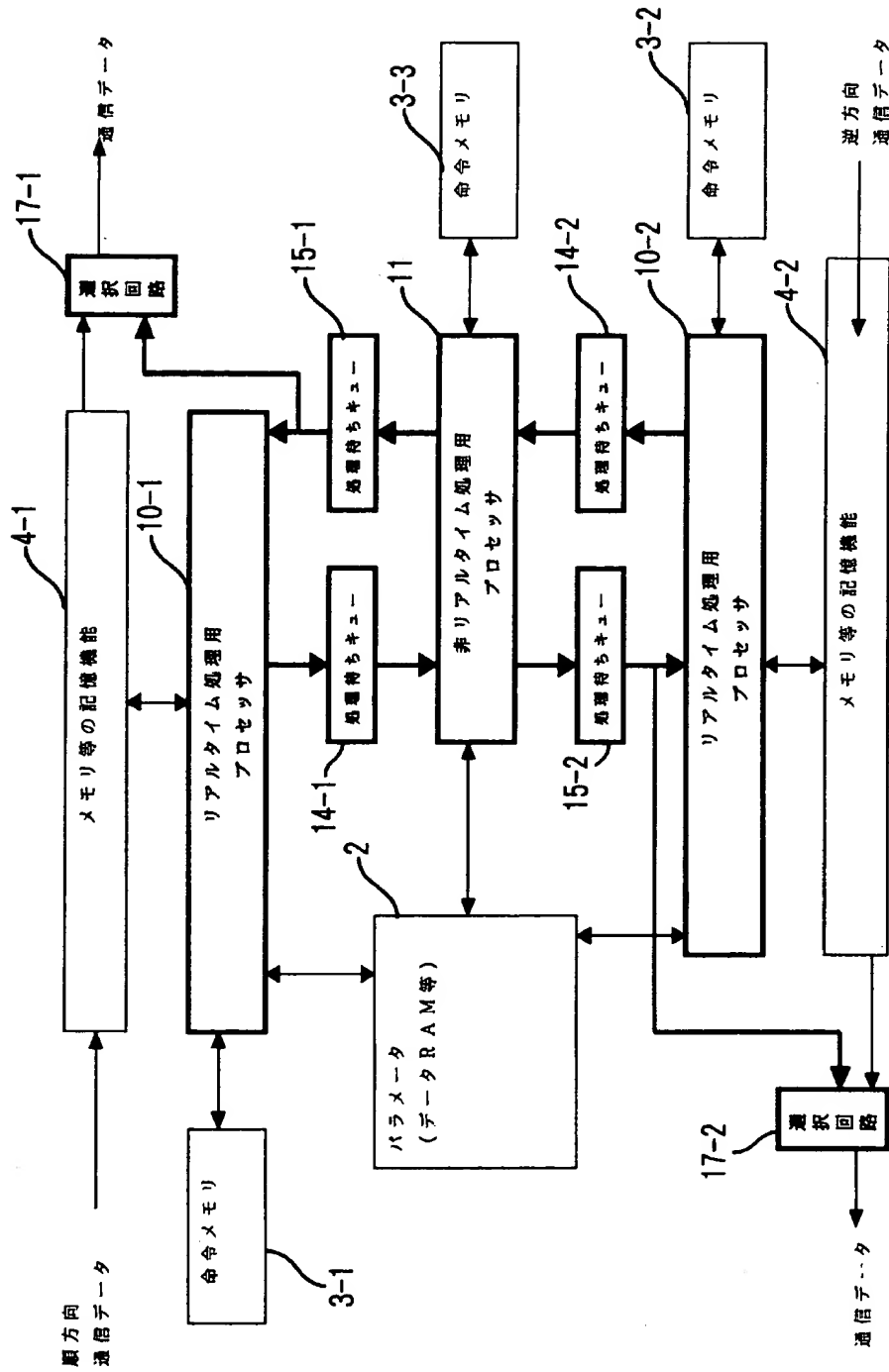
【書類名】

図面

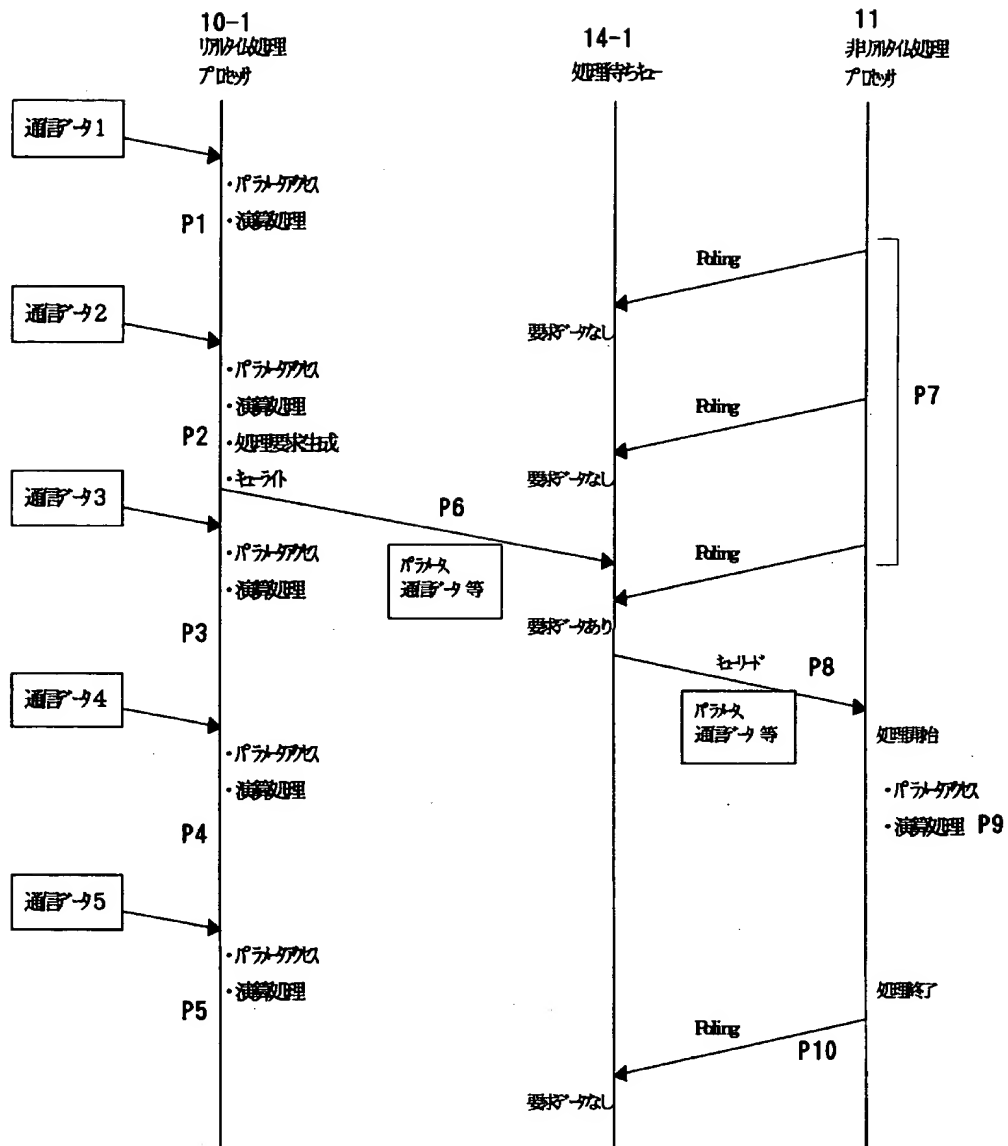
【図 1】



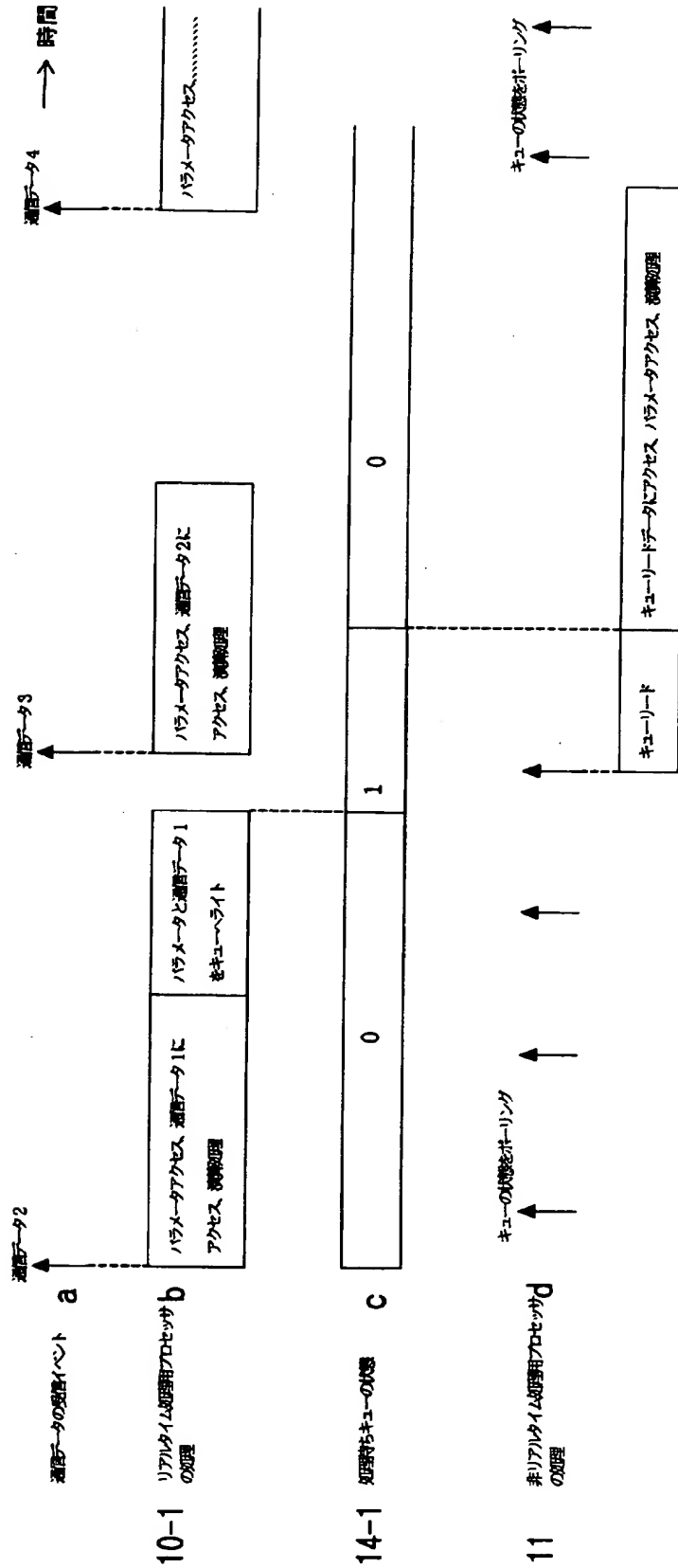
【図 2】



【図 3】

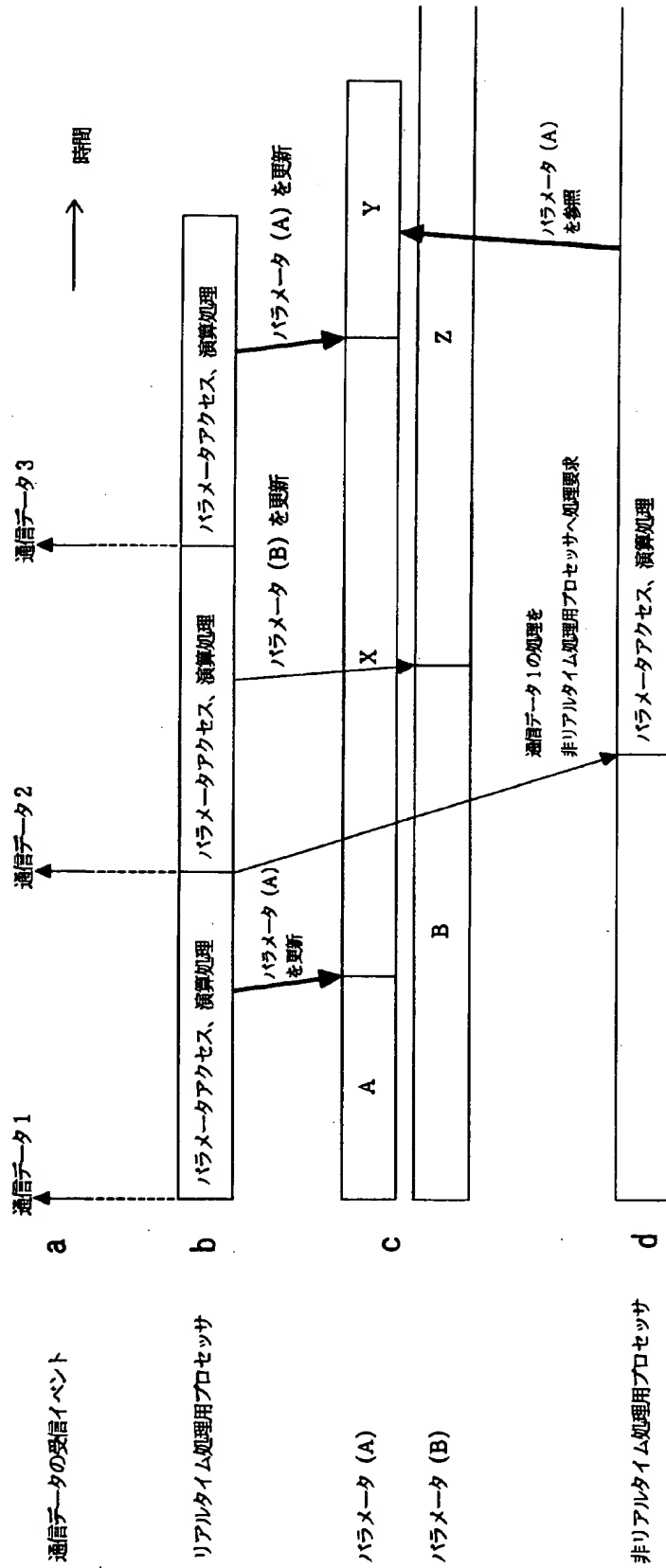


【図 4】

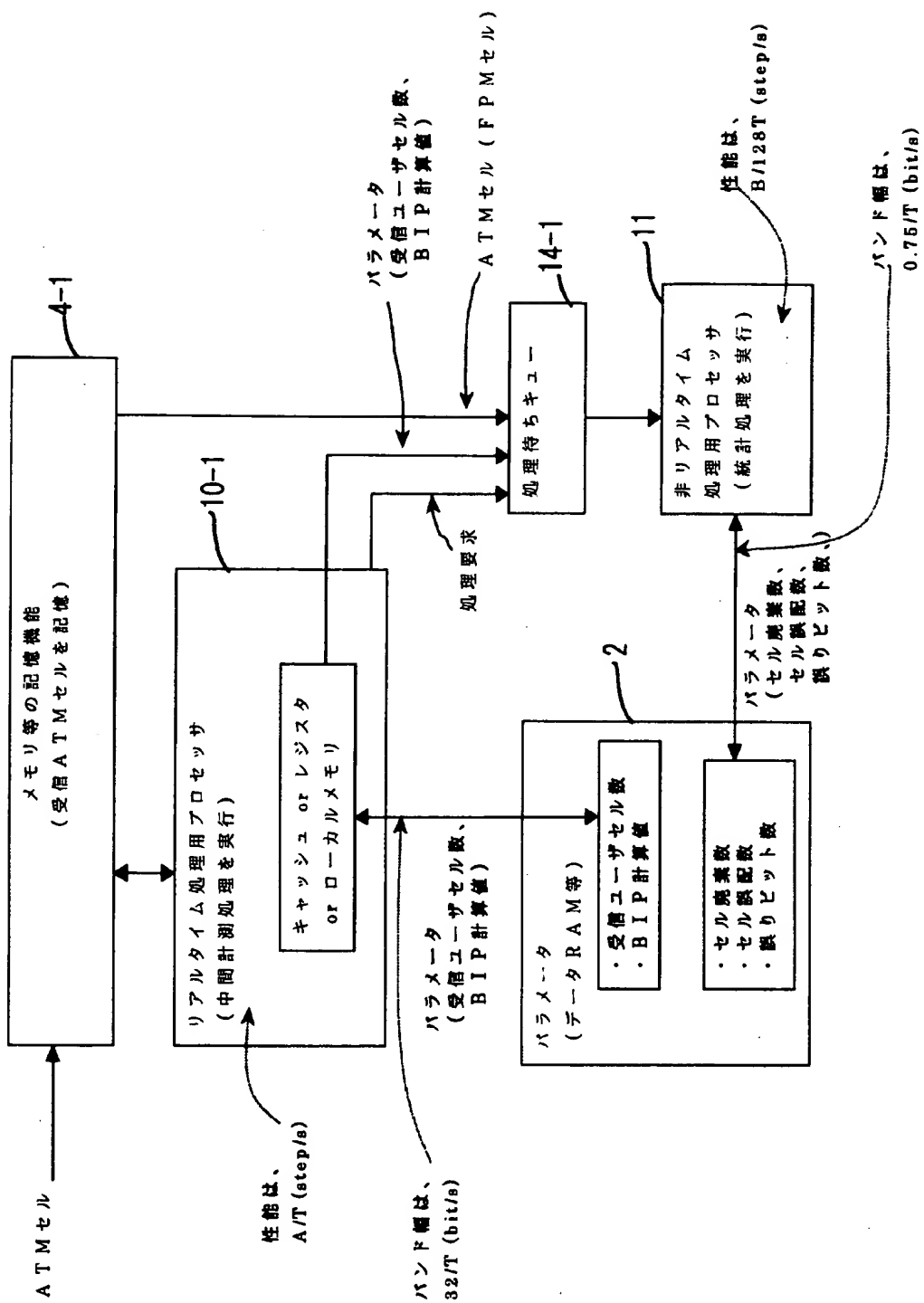




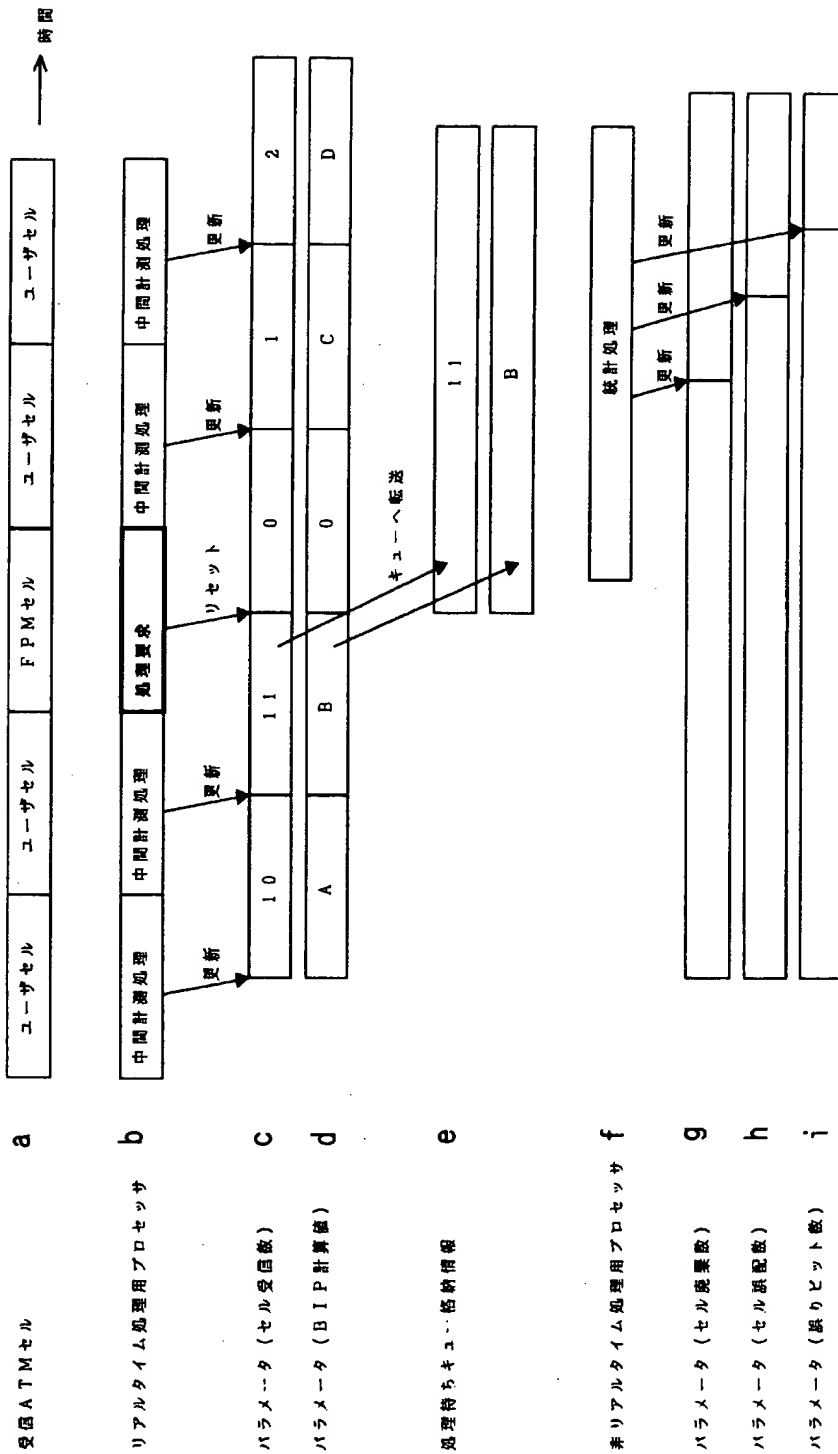
【図 5】



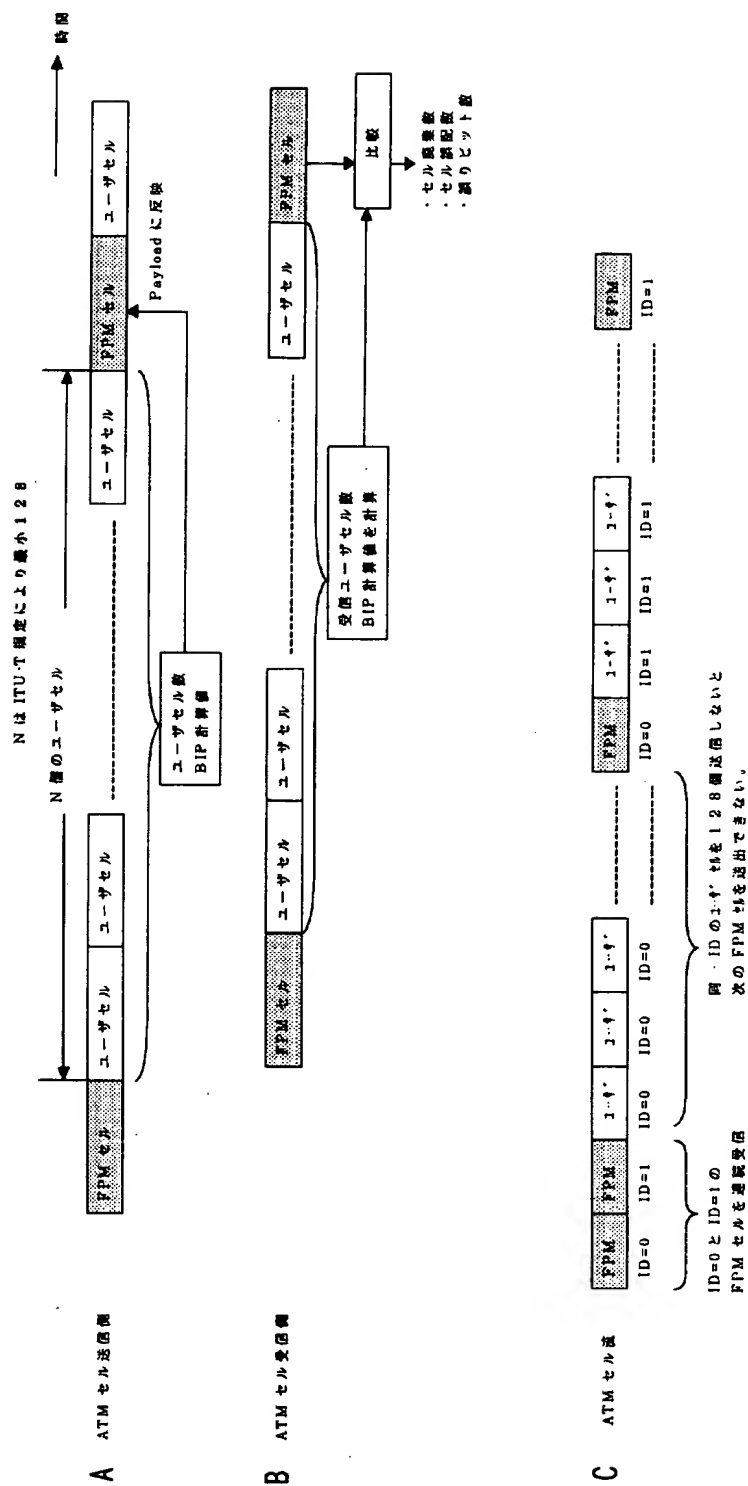
【図 6】



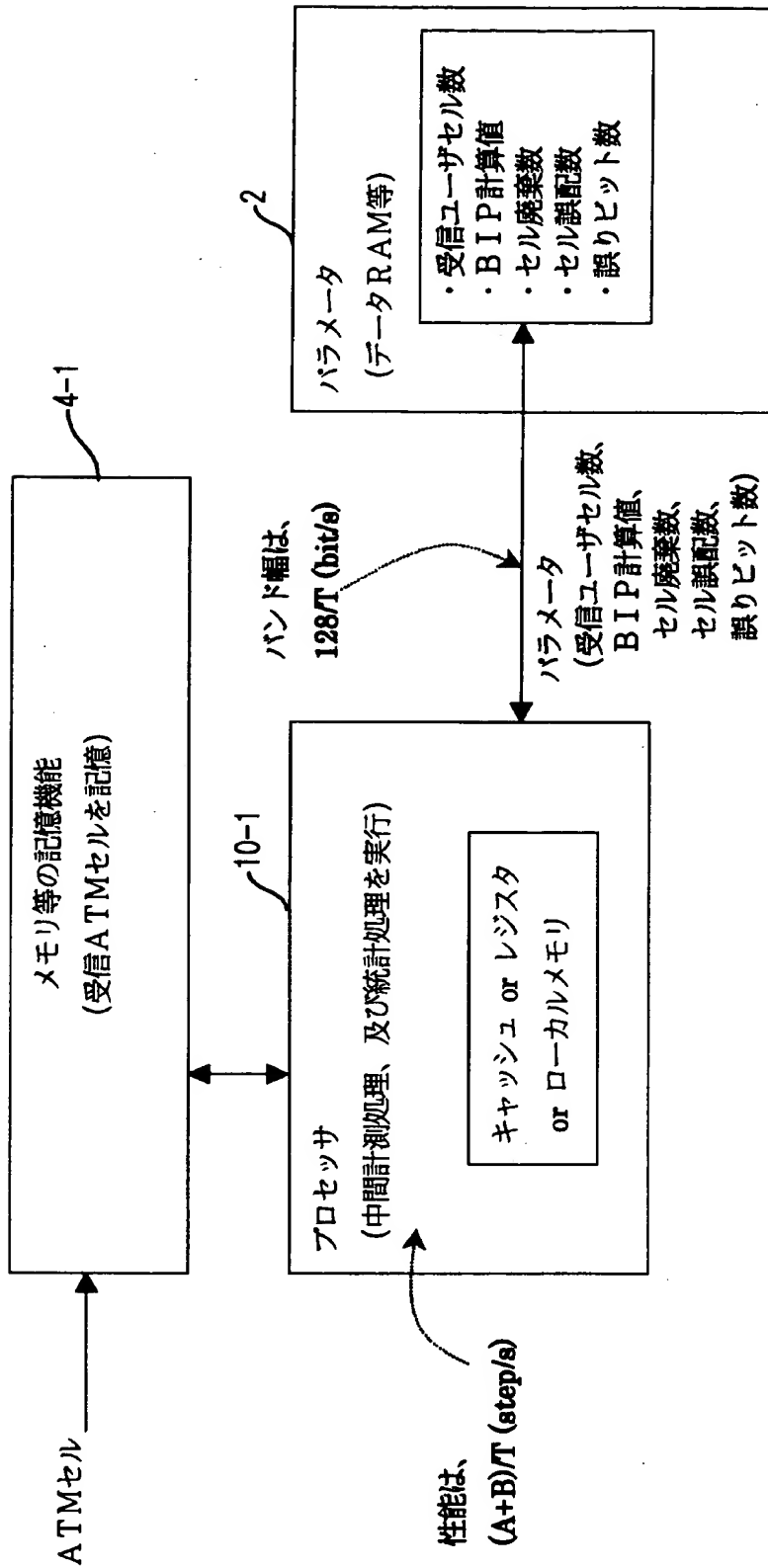
【図 7】



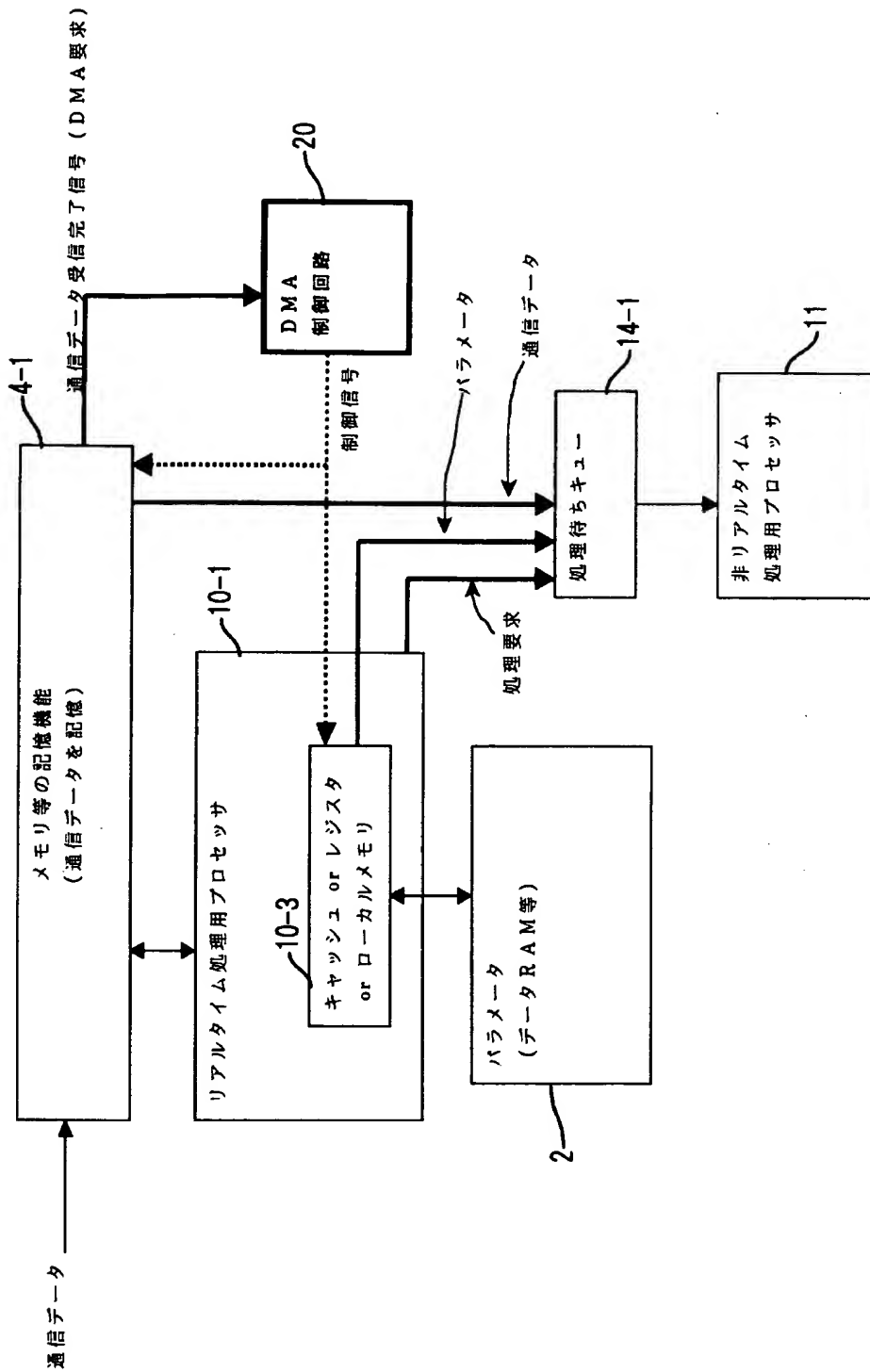
【图 8】



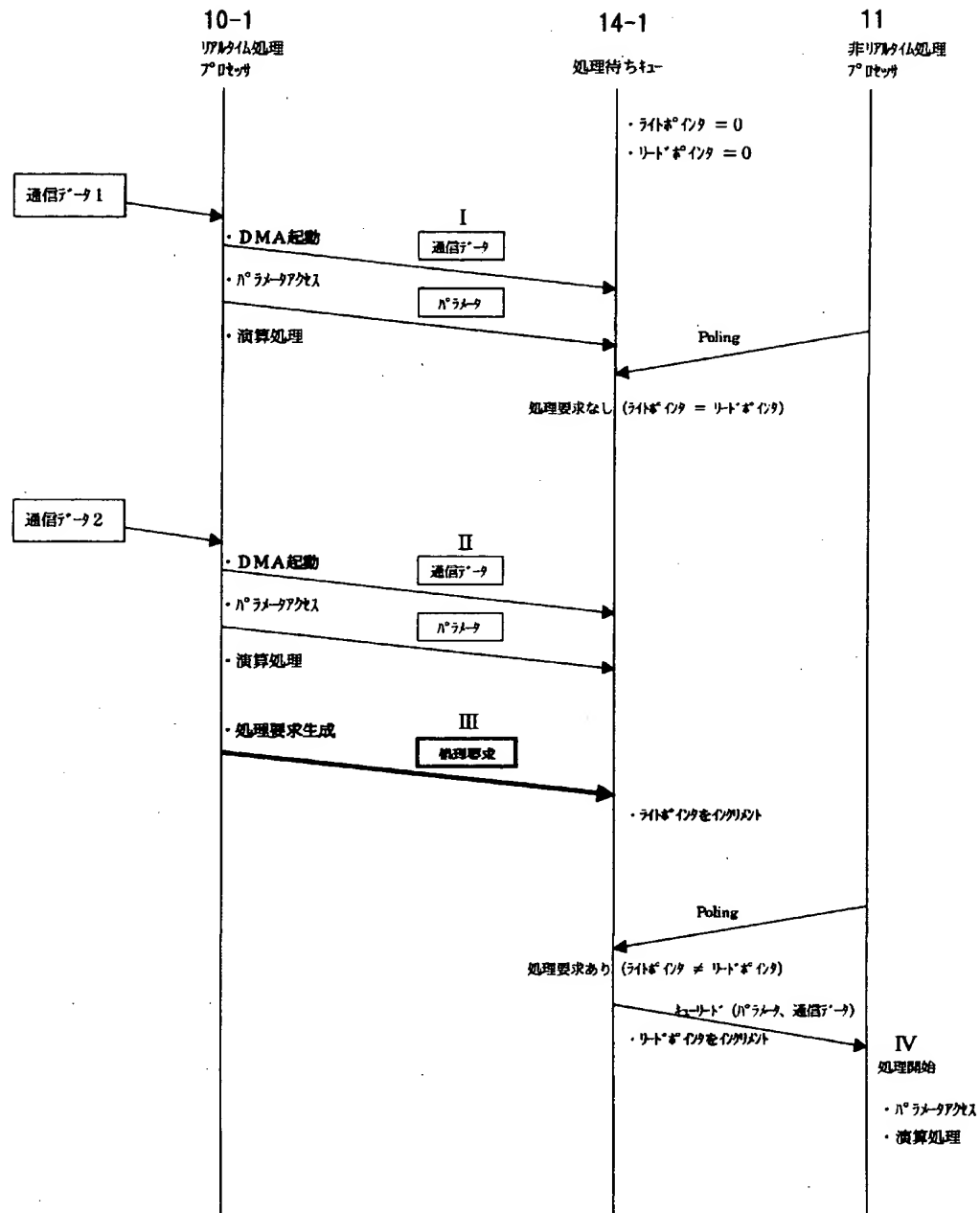
【図 9】



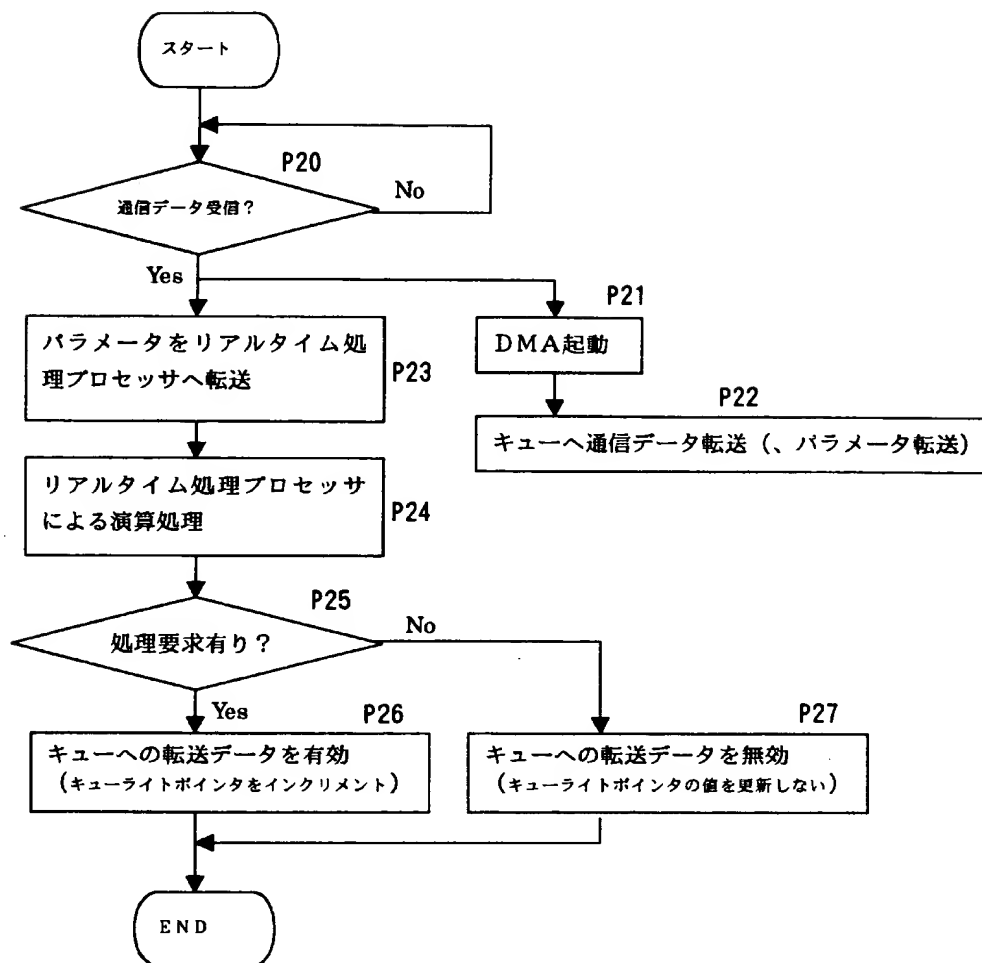
【図10】



【図 11】

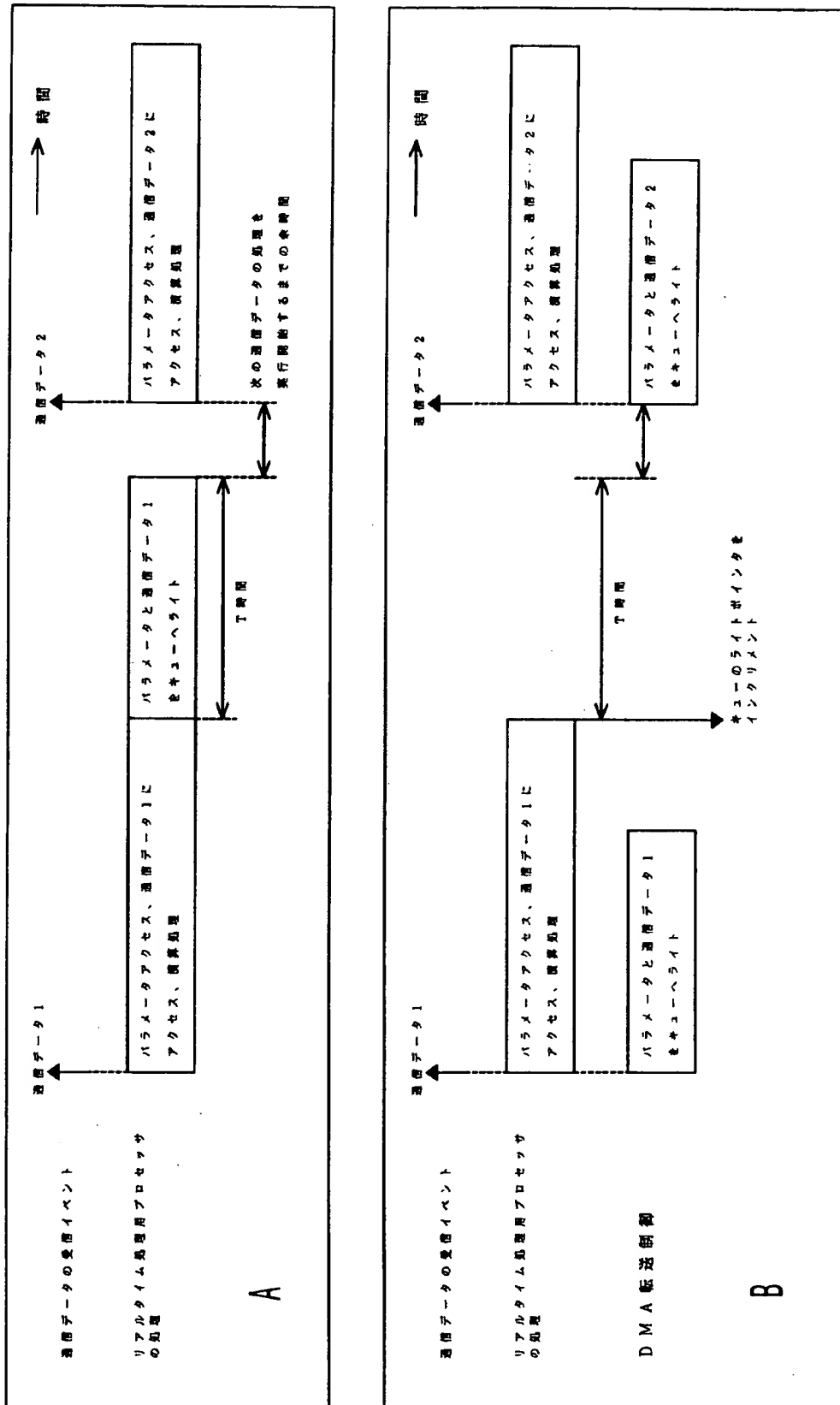


【図 12】

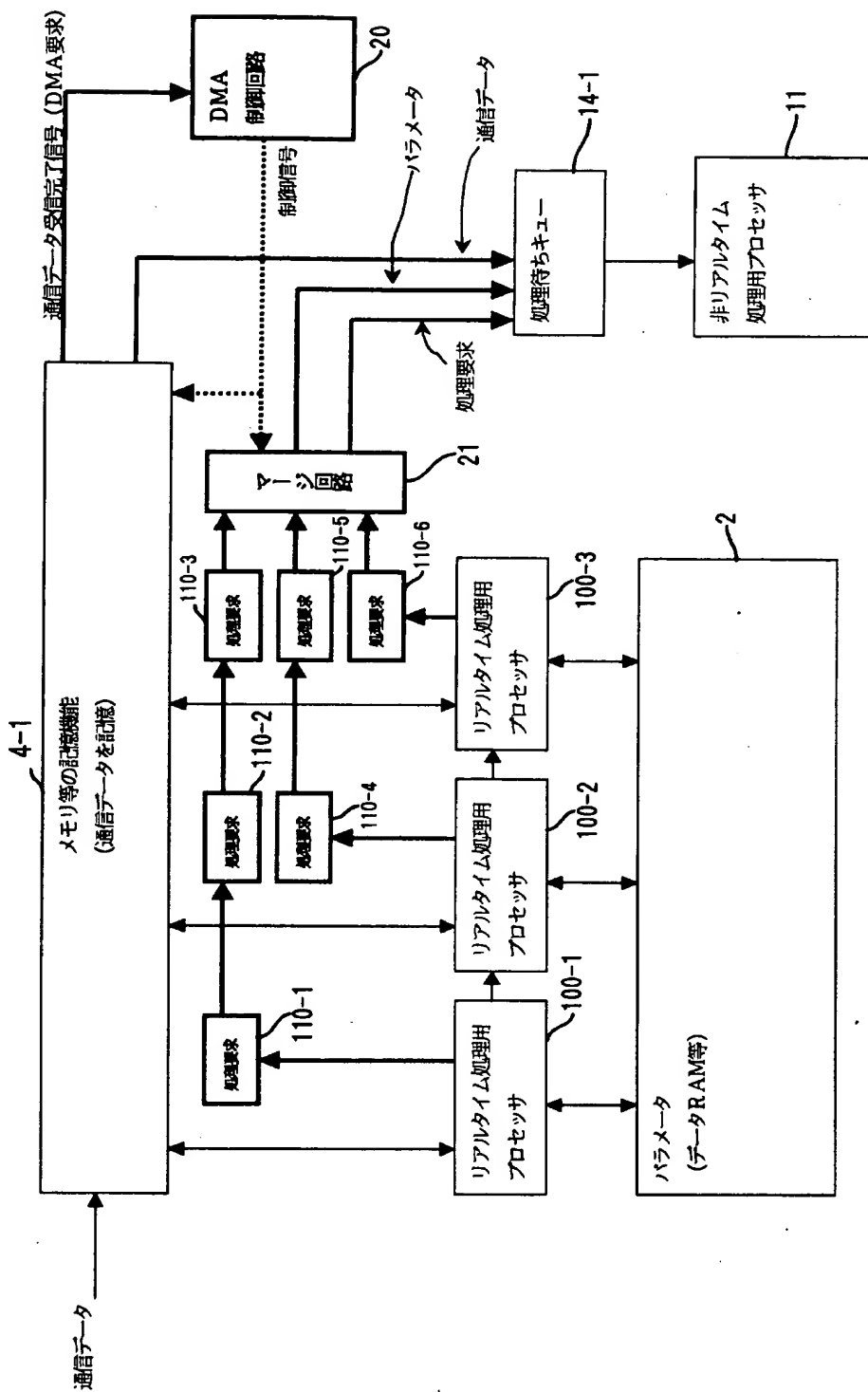




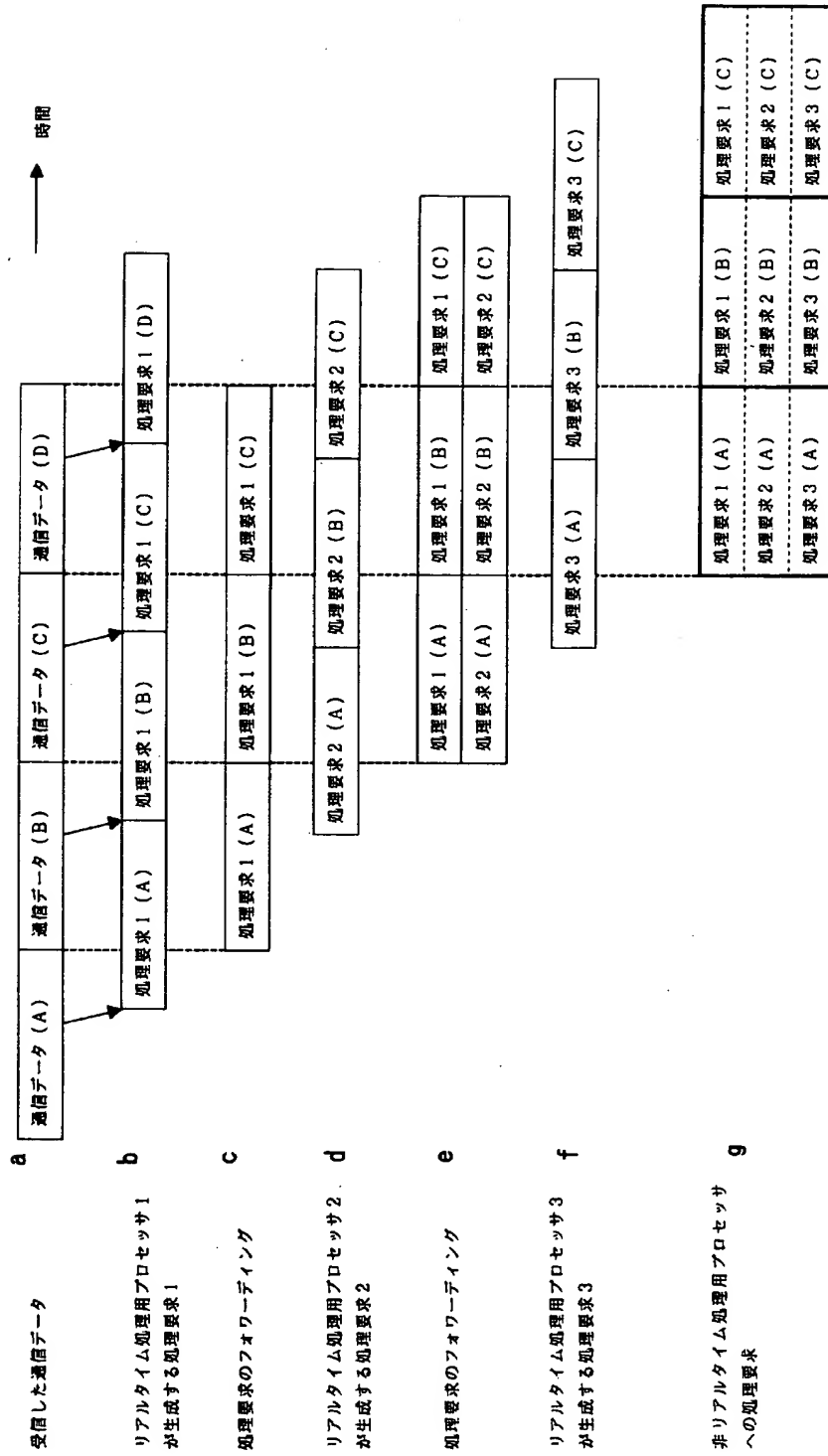
【図 13】



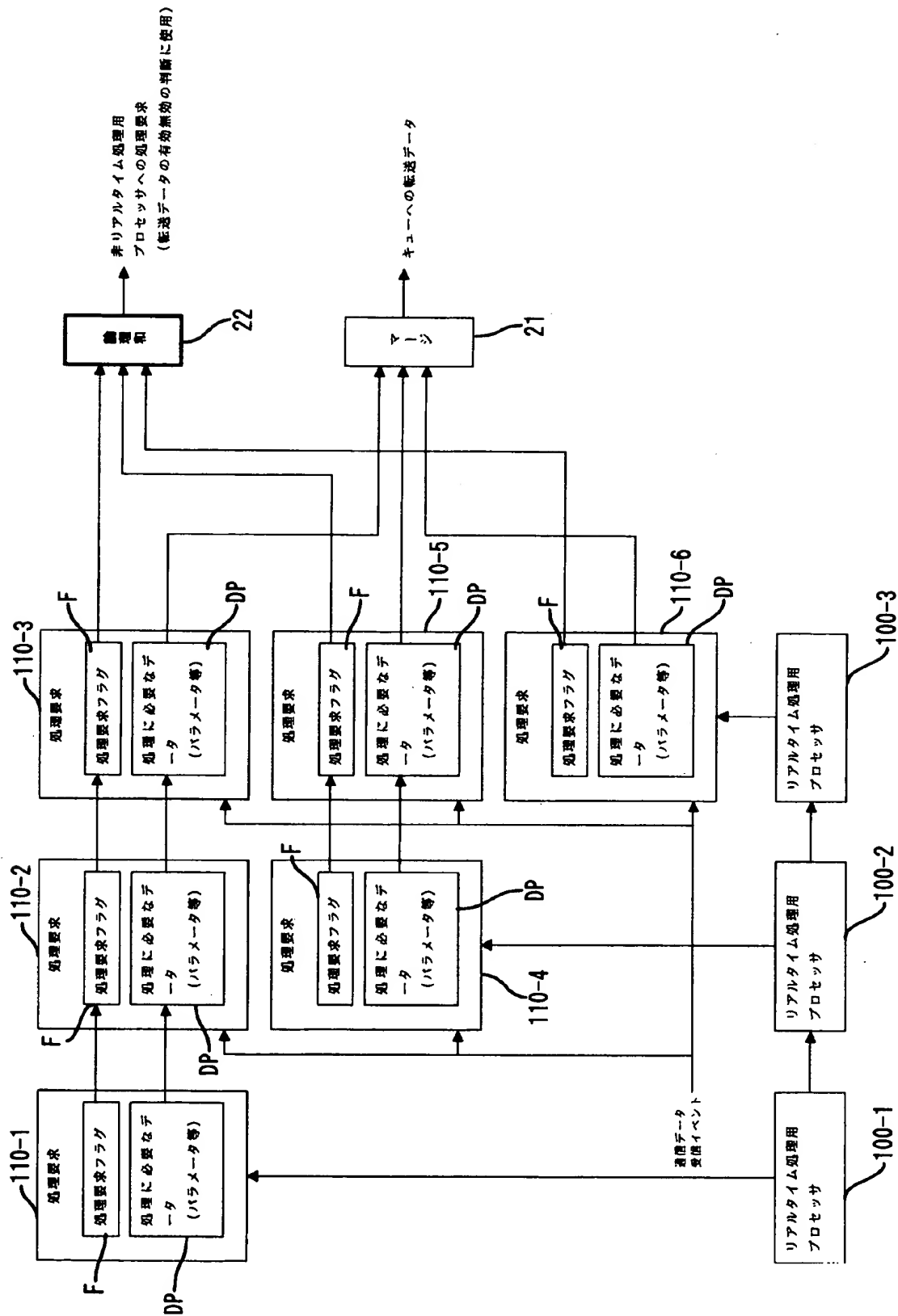
【図 14】



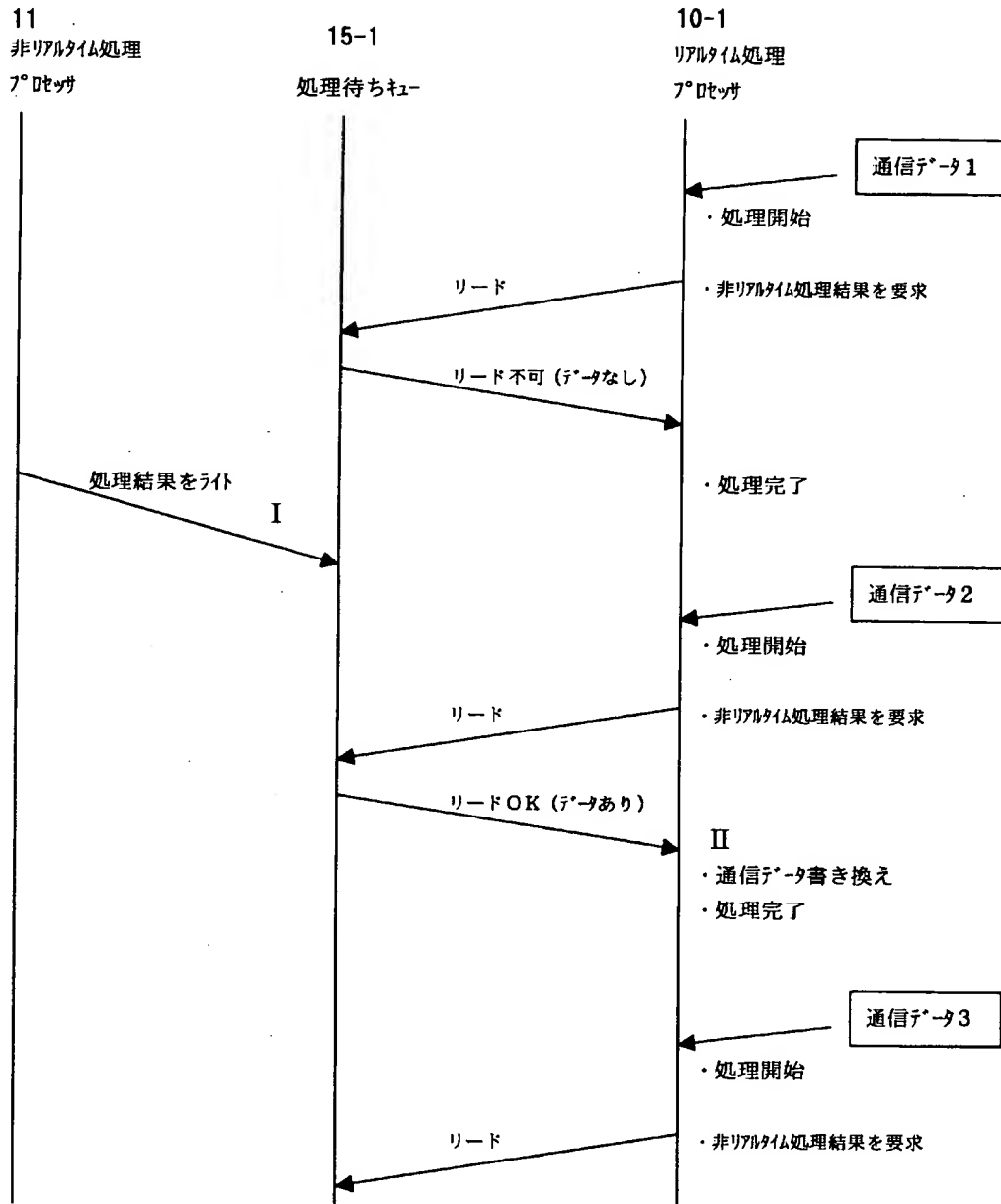
【図 15】



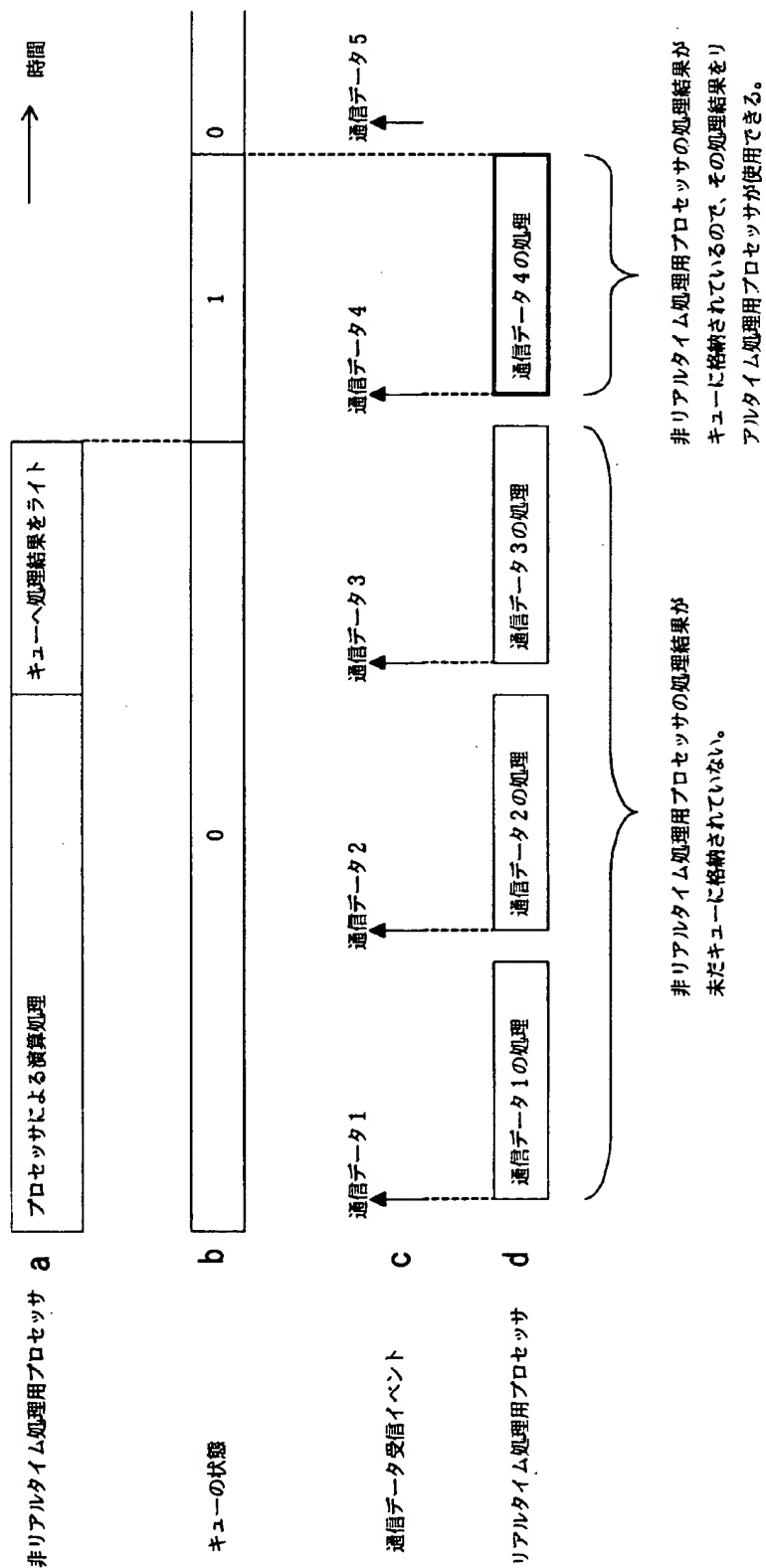
【図 16】



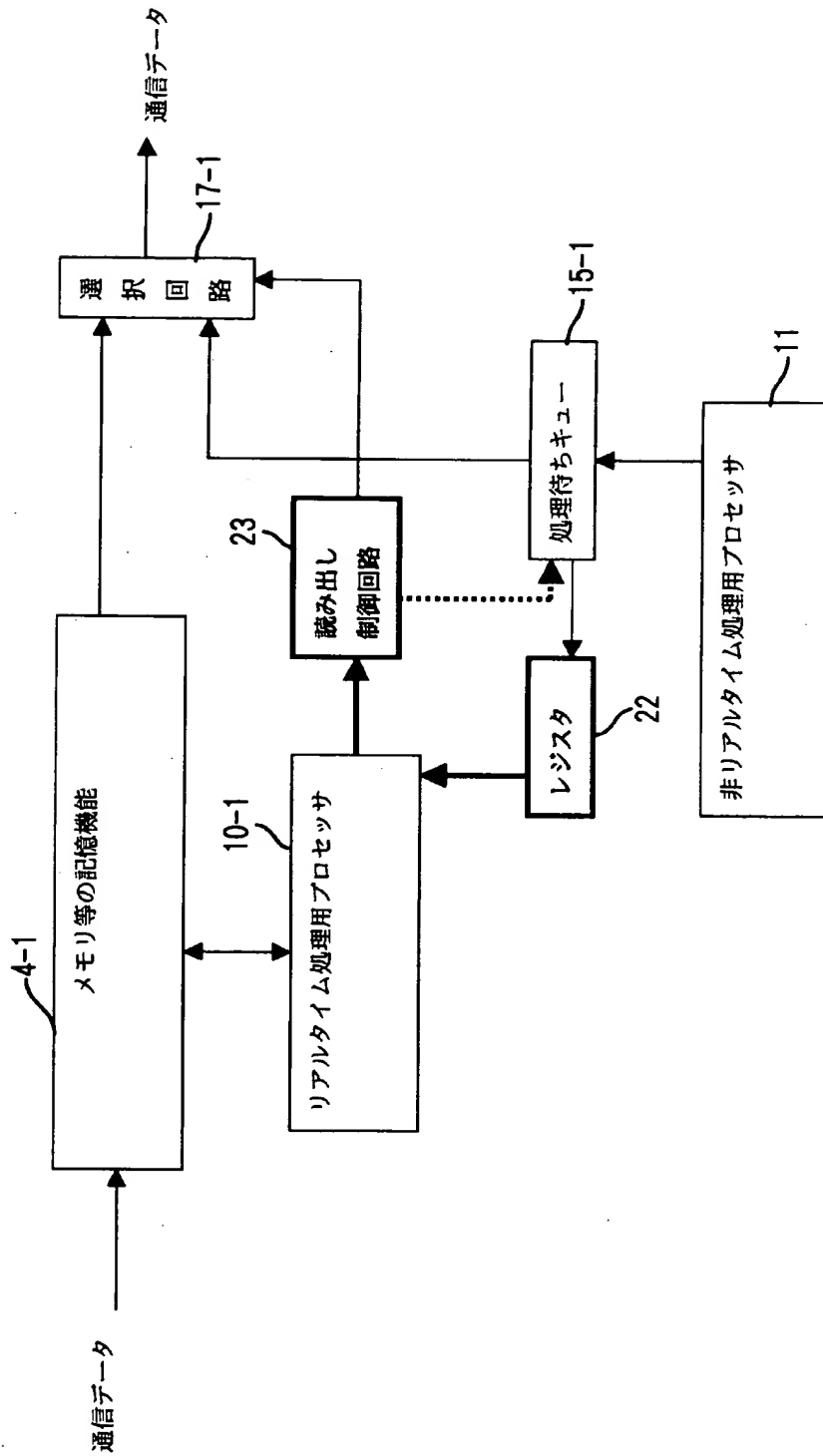
【図 17】



【図 1 8】



【図19】



【書類名】 要約書

【要約】

【課題】構成要素となるプロセッサの性能、バンド幅等の要件を緩和することができ、全体としてより安価なコストで通信プロトコル処理をプロセッサで行う通信プロトコル処理装置を提供する。

【解決手段】通信データストリーム上でリアルタイム性が要求される処理を行う第1のプロセッサと、リアルタイム性が要求されない処理を行う第2のプロセッサとを有し、前記第1のプロセッサは、使用するパラメータを処理される通信データと対にして前記第2のプロセッサに転送し、前記第2のプロセッサでは、転送された通信データとパラメータを参照して処理を行う用に構成されたことを特徴とする。

【選択図】 図2



認定・付加情報

特許出願の番号	特願 2000-267064
受付番号	50001125138
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成12年 9月11日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

【代理人】

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社